

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-209306

(43)Date of publication of application : 07.08.1998

(51)Int.Cl.

H01L 21/8247

H01L 29/788

H01L 29/792

H01L 27/115

(21)Application number : 09-007767

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 20.01.1997

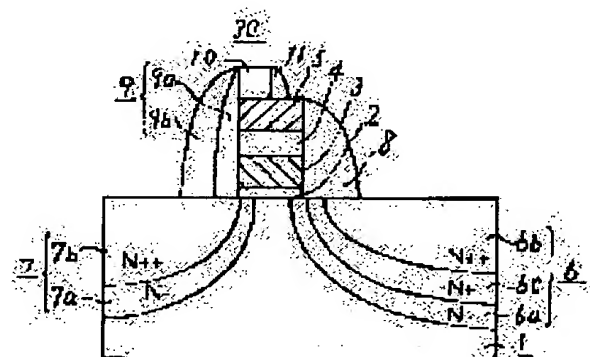
(72)Inventor : KUNORI YUUCHI

## (54) NONVOLATILE SEMICONDUCTOR MEMORY AND ITS MANUFACTURE

(57)Abstract:

**PROBLEM TO BE SOLVED:** To ensure a tolerance for showing specified electric characteristics, by providing a drain region having regions different in impurity concn. and source region having more different-impurity concn. regions than the drain region.

**SOLUTION:** A memory cell transistor 30 has a source and drain regions 6, 7 formed to face each other below an FG 3 on a main surface of a semiconductor substrate. The source region 7 is composed of a low impurity concn. region 6a creeping in the FG 3, medium impurity concn. region 6c having outer edges beneath the FG 3 and high impurity concn. region 6b apart from the side face of the FG 3 rather than from the region 6c. The drain region 7 is composed of a low impurity concn. region 7a creeping in the FG 3, medium impurity concn. region 7b having outer edges beneath the FG 3. Thus, tolerance for showing specified electric characteristics is ensured.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

\* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1] It has the storage element formed in one principal plane of a semi-conductor substrate. The above-mentioned storage element The 1st conductive layer formed through the 1st insulator layer on the principal plane of the above-mentioned semi-conductor substrate, The 2nd conductive layer formed through the 2nd insulator layer on the conductive layer of the above 1st, It has the source and the drain field which were formed so that the principal plane of the above-mentioned semi-conductor substrate might be countered under the 1st conductive layer of the above. It is the non-volatile semiconductor memory which the above-mentioned drain field has two or more fields where high impurity concentration differs, and is characterized by the above-mentioned source field having the field where much high impurity concentration differs rather than the above-mentioned drain field.

[Claim 2] Two or more fields where the high impurity concentration which each of the source and a drain field has differs are non-volatile semiconductor memories according to claim 1 with which the field near the 1st conductive layer is characterized by high impurity concentration being low.

[Claim 3] It has the storage element formed in one principal plane of a semi-conductor substrate. The above-mentioned storage element The 1st conductive layer formed through the 1st insulator layer on the principal plane of the above-mentioned semi-conductor substrate, The 2nd conductive layer formed through the 2nd insulator layer on the conductive layer of the above 1st, the source and the drain field which were formed so that the principal plane of the above-mentioned semi-conductor substrate might be countered under the 1st conductive layer of the above, and the 1st and 2nd conductive layers of the above are inserted. The sidewall which has the sidewall of the pair formed on the above-mentioned source or a drain field, respectively, and was formed on the drain field of the sidewalls of the above-mentioned pair The non-volatile semiconductor memory characterized by having many layers from the sidewall formed on the source field.

[Claim 4] All the layers that the sidewall of a pair has are non-volatile semiconductor memories according to claim 3 characterized by being constituted by the insulator layer of the same class.

[Claim 5] The 1st conductive layer formed through the 1st insulator layer on the 1 principal plane of a semi-conductor substrate, The 2nd conductive layer formed through the 2nd insulator layer on the conductive layer of the above 1st, The storage element which has the source and the drain field which were formed so that the principal plane of the above-mentioned semi-conductor substrate might be countered under the 1st conductive layer of the above, And it sets to the manufacture approach of the non-volatile semiconductor memory equipped with the circumference transistor formed in the principal plane of the above-mentioned semi-conductor substrate. The process which deposits the insulator layer which becomes a part of sidewall of the circumference transistor concerned on the part in which the above-mentioned storage element and circumference transistor of the above-mentioned semi-conductor substrate are formed, The manufacture approach of a non-volatile semiconductor memory including the process which performs an ion implantation above the part used as the source field of the above-mentioned storage element of the above-mentioned semi-conductor substrate using the mask which carries out opening.

[Claim 6] The manufacture approach of the non-volatile semiconductor memory according to claim 5 characterized by repeating the process which deposits an insulator layer, and the process which performs an ion implantation two or more times, respectively.

[Claim 7] The process which performs an ion implantation is the manufacture approach of the non-volatile semiconductor memory according to claim 6 characterized by making [ many ] an injection rate like a next process.

[Claim 8] The 1st conductive layer formed through the 1st insulator layer on the 1 principal plane of a semi-

conductor substrate, The 2nd conductive layer formed through the 2nd insulator layer on the conductive layer of the above 1st, The storage element which has the source and the drain field which were formed so that the principal plane of the above-mentioned semi-conductor substrate might be countered under the 1st conductive layer of the above, And it sets to the manufacture approach of the non-volatile semiconductor memory equipped with the circumference transistor formed in the principal plane of the above-mentioned semi-conductor substrate. The process which deposits the insulator layer which becomes a part of sidewall of the circumference transistor concerned on the part in which the above-mentioned storage element and circumference transistor of the above-mentioned semi-conductor substrate are formed, The manufacture approach of a non-volatile semiconductor memory including the process which etches a part of above-mentioned insulator layer above the part used as the source field of the above-mentioned storage element of the above-mentioned semi-conductor substrate using the mask which carries out opening.

[Claim 9] The manufacture approach of the non-volatile semiconductor memory according to claim 8 characterized by repeating the process which deposits an insulator layer, and the process which etches a part of insulator layer concerned two or more times, respectively.

[Claim 10] It is the manufacture approach of claims 6 and 7 characterized by using the insulator layer of the same class altogether as an insulator layer which carries out multiple-times deposition, or the non-volatile semiconductor memory of nine given in any 1 term.

---

[Translation done.]

## DETAILED DESCRIPTION

### [Detailed Description of the Invention]

[0001]

[Field of the Invention] More specifically, this invention relates to what has structure with unsymmetrical source and drain field of a storage element about a non-volatile semiconductor memory and its manufacture approach.

[0002]

[Description of the Prior Art] Below, the flash memory of the DINOR (Divided NOR) mold which is an example of the conventional non-volatile semiconductor memory is explained to the drawing 9 list based on drawing 10 and drawing 11.

[0003] Drawing 9 is the important section sectional view showing the structure of the memory cell transistor 28 of the flash memory of the conventional DINOR mold, and is set to drawing 9. 1 For example, the semi-conductor substrate which consists of a P type silicon substrate, gate dielectric film which consists of silicon oxide by which 2 was formed on the 1 principal plane of the semi-conductor substrate 1, 3 is the floating gate (it is hereafter called "FG".) which was formed on gate dielectric film 2, for example, consists of electric conduction film, such as polycrystalline silicon film and amorphous silicon film. 4 is the interlayer insulation film formed on FG3. For example, TEOS (Tetraethoxysilane), A silicon nitride and the three-layer cascade screen which consists of TEOS, and 5 are the control gate (it is hereafter called "CG".) which was formed on the interlayer insulation film 4, for example, consists of polycrystalline silicon film. it is .

[0004] 60 and 70 are the sources and the drain fields of the memory cell transistor 28, respectively, and they are formed in the principal plane of the semi-conductor substrate 1 so that the bottom of FG3 may be countered, and they consist of low-concentration impurity ranges 60a and 70a formed in a configuration under which a part goes to the bottom of FG3, respectively, and high-concentration impurity ranges 60b and 70b formed so that it might have a rim directly under the side face of FG3 mostly.

[0005] Here, it expresses that the difference of the high impurity concentration relative between each impurity range instead of absolute high impurity concentration has arisen as high concentration and low concentration, and the absolute value of the concentration of each impurity range needs to choose the optimum value in consideration of the die length of the control gate and each floating gate, the class of impregnation ion, and other various conditions according to the electrical characteristics of the memory cell transistor 28.

[0006] Moreover, notations, such as N- in drawing and N++, are notations used since absolute high impurity concentration is not expressed like the above and the difference of the relative high impurity concentration of each field is expressed.

[0007] 8 and 90 sandwich the above-mentioned gate dielectric film 2, FG3, an interlayer insulation film 4, and CG5, the source and the drain field 60, the sidewall formed on 70, and 10 are upper \*\*\*\*\* which consist of silicon oxide, such as TEOS formed on CG5, and the part by the side of the source is deleted, respectively. 11 is the sidewall of this upper \*\*\*\*\* 10, and is formed in the source side on CG5.

[0008] Below, the manufacture approach of the conventional non-volatile semiconductor memory constituted in this way is explained using drawing 10 and drawing 11. Drawing 10 and drawing 11 are the important section sectional views shown in order of the process about each of the memory cell section which has the memory cell transistor 28 for the manufacture approach of the conventional DINOR Flash Memory, and the circumference circuit section which has the circumference transistor 29.

[0009] First, as shown in drawing 10 (a), gate oxide 2 is formed for example, by the oxidizing [ thermally ] method on the semi-conductor substrate 1 which consists of a P type silicon substrate, 1st [ used as FG3 ] electric conduction film 3a which consists of polycrystalline silicon film or amorphous silicon film, for example is deposited using a CVD method on it, patterning is carried out to a desired configuration using the usual photoengraving-process technique, and FG3 is formed in the memory cell section. Then, three layers, TEOS, a silicon nitride, and TEOS, are deposited in order as an interlayer insulation film 4 the whole surface on the semi-conductor substrate 1. Next, the interlayer insulation film 4 and electric conduction film 3 of \*\* 1st a which are formed in the circumference circuit section are removed.

[0010] Next, the gate oxide 12 for circumference transistors is formed by thermal oxidation, and a part serves as the gate electrode 13 of a circumference transistor, and other parts serve as CG5, for example, deposit on both the circumference circuit section and the memory cell section 2nd electric conduction film 5a which consists of polycrystalline silicon film or compound film of polycrystalline silicon and a refractory metal using a CVD method. Furthermore, an oxide film 14 and the polycrystalline silicon film 15, such as TEOS, are deposited on the upper layer in order.

[0011] Next, as shown in drawing 10 (b), a resist is applied on the above-mentioned polycrystalline silicon film 15, and the resist mask 16 is formed by carrying out patterning of this to a desired configuration.

[0012] Next, as shown in drawing 10 (c), using the formed resist mask 16, the polycrystalline silicon film 15 is processed by anisotropic etching, and the resist mask 16 is removed after that.

[0013] Next, as shown in drawing 10 (d), silicon oxide 14 is processed by anisotropic etching by using as a mask the polycrystalline silicon film 15 processed into the configuration of the above-mentioned request, oxide-mask 14a is formed, then using this oxide-mask 14a, that 2nd lower layer electric conduction film 5a is processed by anisotropic etching, and the gate electrode 13 and CG5 of a circumference transistor are formed.

[0014] Here, the polycrystalline silicon film 15 on oxide-mask 14a is also removed by coincidence by the anisotropic etching used for formation of the above-mentioned gate electrode 13 and CG5. Moreover, oxide-mask 14a in the circumference circuit section becomes upper \*\*\*\*\* 17 to the gate electrode 13.

[0015] Next, as shown in drawing 11 (a), the circumference circuit section is covered by the resist, and when only the memory cell section processes an interlayer insulation film 4 and electric conduction film 3 of \*\* 1st a by anisotropic etching, FG3 is formed using the above-mentioned oxide mask 14a. Then, the resist which has covered the above-mentioned circumference circuit section is removed. At this time, on the occasion of etching of an interlayer insulation film 4, oxide mask 14a of the memory cell section is also etched into coincidence, and thickness becomes thin.

[0016] Next, as shown in drawing 11 (b), the resist mask 18 which covers the source side of the memory cell section and the circumference circuit section, and carries out opening to the drain side of the memory cell section is formed, using this mask 18, the ion implantation of Lynn and an arsenic is performed to the semi-conductor substrate 1, and the drain field 70 of a memory cell transistor is formed. Here, a small amount of boron may be poured into coincidence. Then, the resist mask 18 is removed.

[0017] Next, as shown in drawing 11 (c), the drain side of the memory cell section and the circumference circuit section are covered, and it is the direction of a word line of semi-conductor substrate 1 front face (in drawing 2 ). The part used as the source field 60 of each memory cell transistor located in a line in the direction perpendicular to space, The separation oxide film isolated in the part used as the source field 60 of each memory cell transistor concerned, Form in the oxide mask 14a front face on CG5 of each memory cell transistor the resist mask 19 which carries out opening, and by and the anisotropic etching using this resist mask 19 The above-mentioned separation oxide film is removed so that the part used as the source field 60 of each memory cell transistor located in a line in the direction of a word line may be connected, and semi-conductor substrate 1 front face covered with the separation oxide film concerned is exposed. Hereafter, this anisotropic etching is called SAS (self aryne source) etching.

[0018] At this time, oxide mask 14a on CG5 is also etched into coincidence, and upper \*\*\*\*\* 10 of a memory cell transistor is formed.

[0019] Next, using CG5 and the resist mask 19 from which a part of upper \*\*\*\*\* 10 was removed, in self align, the ion implantation of Lynn and an arsenic is performed and the source field 60 is formed. Here, the ion implantation of a small amount of boron may be carried out to coincidence. At this time, wiring (the so-called "source line") of structure with which the source field 60 of each memory cell transistor located in a line in the direction of a word line was connected in parallel with a word line is formed in semi-conductor substrate 1 front face exposed according to the SAS etching process, and its near.

[0020] Next, by performing anisotropic etching by using the gate electrode 13 and CG5 as a mask, as shown in drawing 11 (d) after removal of the resist mask 19 Gate dielectric film 12 and 2 is processed. The whole surface on the semi-conductor substrate 1 for example, by forming the insulator layer which consists of silicon oxide using a CVD method, and performing anisotropic etching Sidewalls 8 and 90 are formed on the source of the side face of FG3 and CG5 and the drain field 60, and 70 at the same time it forms a sidewall 20 in the gate electrode 13 of a circumference transistor, and the side face of upper \*\*\*\*\* 17.

[0021] Then, by covering the memory cell section by the resist, for example, carrying out the ion implantation of Lynn or the arsenic to high concentration, the source and the drain fields 21 and 22 of a circumference transistor are formed, and the circumference transistor 29 is obtained. Then, the resist which had covered the above-mentioned memory cell section is removed.

[0022] Then, by heat-treating, by carrying out thermal diffusion of the dopant poured into the source and the drain fields 60 and 70, the low-concentration impurity ranges 60a and 70a of a configuration under which a part goes to the bottom of FG3, and the high-concentration impurity ranges 60b and 70b which have a rim directly under the side face of FG3 mostly are formed, respectively, and the flash memory of the DINOR mold containing the memory cell transistor 28 shown in drawing 9 is obtained.

[0023]

[Problem(s) to be Solved by the Invention] However, it sets to the above non-volatile semiconductor memories. Since the source field 60 and the drain field 70 of a memory cell transistor are formed by performing an ion implantation in self align to CG5. Since the part will be formed directly under CG5 edge for impregnation ion, and the low-concentration impurity ranges 60a and 70a dive into the bottom of CG5 and are formed of heat treatment after an ion implantation, respectively, There was a problem that the substantial channel length between the source field 60 and the drain field 70 will become short, rather than the die length of CG5.

[0024] Therefore, in the conventional non-volatile semiconductor memory, in order to acquire desired electrical characteristics, control gate length (the die length of CG5) had to be held more than constant value, and it had become the cause of the hindrance of high integration and detailed-izing.

[0025] Although it is also possible to carry out on the other hand by the ion implantation for forming the source drain fields 21 and 22 of a circumference transistor, using sidewalls 8 and 90 as a mask for formation of the source of a memory cell transistor and the drain fields 60 and 70. However, since sidewalls 8 and 90 are obtained in this case by carrying out anisotropic etching of the insulator layer for formation of the sidewall 20 of a circumference transistor. The thickness was specified according to the electrical characteristics of the circumference transistor 29, the source and the drain fields 60 and 70 may be formed in the location from which it separated considerably depending on the thickness from directly under [ of CG5 / edge ], and there was a problem that a current will stop being able to flow easily.

[0026] Then, it is also possible to solve the above-mentioned problem by setting like ion grouting after SAS etching shown in drawing 11 (c), performing low-concentration impregnation, forming the sidewall which once has the thickness doubled with the electrical characteristics of the memory cell transistor 28 before the formation process of the sidewalls 21 and 22 of a circumference transistor, and carrying out a high concentration ion implantation by using this sidewall as a mask after that.

[0027] However, it is necessary to form a wrap resist mask, therefore the problem that a routing counter increases newly generates the drain side of the resist mask of an ion notes necessity as shown by drawing 11 (d), i.e., the circumference circuit section, and the memory cell section as a last process of a high-concentration ion implantation in this case.

[0028] In this case furthermore, formation of the sidewall 20 of a circumference transistor after high concentration impregnation. It must carry out in consideration of the thickness of the sidewall already formed. Dispersion in the thickness at the time of deposition of the insulator layer for sidewalls of the above-mentioned memory cell transistor 28, And this insulator layer is added to dispersion in the thickness of the sidewall when carrying out anisotropic etching. Dispersion in the thickness at the time of deposition of the insulator layer for sidewalls of the circumference transistor 29, And dispersion in the thickness of the sidewall when performing anisotropic etching also generates mutually the problem that dispersion in the thickness of the sidewall 20 of overlap and a circumference transistor will become large.

[0029] Therefore, the source of the circumference transistor formed of the ion implantation which uses as a mask the sidewall 20 which has this dispersion, and the channel length between the drain fields 21 and 22 also generate the problem that tolerance will decrease to do desired electrical characteristics so.

[0030] Moreover, it sets to the flash memory of a DINOR mold about the location of the source of a memory cell transistor, and the drain fields 60 and 70. Since the actuation as a storage element is attained by drawing out a charge from the drain field 70 to FG3, in the edge of FG3 by the side of a drain High-concentration impurity range 70b needed to be formed, when formed in the location where it separated from the edge of FG3, the charge drawing rate became slow, as a result there was also a problem of leading to delay of the working speed of a flash memory.

[0031] For the above reasons, it set to the conventional non-volatile semiconductor memory, and there was a problem that tolerance (generally called "L margin".) for the non-volatile semiconductor memory concerned to show predetermined electrical characteristics was not securable, by dispersion at the time of manufacture of spacing of the source field 60 and the drain field 70.

[0032] This invention is made in view of the above-mentioned point, when gate length of a memory cell transistor is made detailed, it is also set, and it aims at obtaining the non-volatile semiconductor memory which can secure tolerance to show predetermined electrical characteristics to dispersion at the time of manufacture of spacing of the above-mentioned source field and a drain field.

[0033]

[Means for Solving the Problem] The non-volatile semiconductor memory concerning this invention is equipped with the storage element formed in one principal plane of a semi-conductor substrate. The above-mentioned



storage element The 1st conductive layer formed through the 1st insulator layer on the principal plane of the above-mentioned semi-conductor substrate, The 2nd conductive layer formed through the 2nd insulator layer on the conductive layer of the above 1st, It has the source and the drain field which were formed so that the principal plane of the above-mentioned semi-conductor substrate might be countered under the 1st conductive layer of the above. It is characterized by for the above-mentioned drain field having two or more fields where high impurity concentration differs, and the above-mentioned source field having the field where much high impurity concentration differs rather than the above-mentioned drain field.

[0034] Moreover, two or more fields where the high impurity concentration which each of the above-mentioned source and a drain field has differs are characterized for the field near the 1st conductive layer by high impurity concentration being low.

[0035] It has the storage element formed in one principal plane of a semi-conductor substrate. Moreover, the above-mentioned storage element The 1st conductive layer formed through the 1st insulator layer on the principal plane of the above-mentioned semi-conductor substrate, The 2nd conductive layer formed through the 2nd insulator layer on the conductive layer of the above 1st, the source and the drain field which were formed so that the principal plane of the above-mentioned semi-conductor substrate might be countered under the 1st conductive layer of the above, and the 1st and 2nd conductive layers of the above are inserted. The sidewall which has the sidewall of the pair formed on the above-mentioned source or a drain field, respectively, and was formed on the drain field of the sidewalls of the above-mentioned pair is characterized by having many layers from the sidewall formed on the source field.

[0036] Moreover, all the layers that the sidewall of the above-mentioned pair has are characterized by being constituted by the insulator layer of the same class.

[0037] The manufacture approach of the non-volatile semiconductor memory concerning this invention The 1st conductive layer formed through the 1st insulator layer on the 1 principal plane of a semi-conductor substrate, The 2nd conductive layer formed through the 2nd insulator layer on the conductive layer of the above 1st, The storage element which has the source and the drain field which were formed so that the principal plane of the above-mentioned semi-conductor substrate might be countered under the 1st conductive layer of the above, And it sets to the manufacture approach of the non-volatile semiconductor memory equipped with the circumference transistor formed in the principal plane of the above-mentioned semi-conductor substrate. The process which deposits the insulator layer which becomes a part of sidewall of the circumference transistor concerned on the part in which the above-mentioned storage element and circumference transistor of the above-mentioned semi-conductor substrate are formed, The process which performs an ion implantation above the part used as the source field of the above-mentioned storage element of the above-mentioned semi-conductor substrate using the mask which carries out opening is included.

[0038] Moreover, it is characterized by repeating the process which deposits the above-mentioned insulator layer, and the process which performs an ion implantation two or more times, respectively.

[0039] Moreover, the process which performs the above-mentioned ion implantation is characterized by making [ many ] an injection rate like a next process.

[0040] Moreover, the 1st conductive layer formed through the 1st insulator layer on the 1 principal plane of a semi-conductor substrate, The 2nd conductive layer formed through the 2nd insulator layer on the conductive layer of the above 1st, The storage element which has the source and the drain field which were formed so that the principal plane of the above-mentioned semi-conductor substrate might be countered under the 1st conductive layer of the above, And it sets to the manufacture approach of the non-volatile semiconductor memory equipped with the circumference transistor formed in the principal plane of the above-mentioned semi-conductor substrate. The process which deposits the insulator layer which becomes a part of sidewall of the circumference transistor concerned on the part in which the above-mentioned storage element and circumference transistor of the above-mentioned semi-conductor substrate are formed, The process which etches a part of above-mentioned insulator layer above the part used as the source field of the above-mentioned storage element of the above-mentioned semi-conductor substrate using the mask which carries out opening is included.

[0041] Moreover, it is characterized by repeating the process which deposits the above-mentioned insulator layer, and the process which etches a part of insulator layer concerned two or more times, respectively.

[0042] Moreover, as the above-mentioned insulator layer which carries out multiple-times deposition, it is characterized by using the insulator layer of the same class altogether.

[0043]

[Embodiment of the Invention]

The gestalt 1 of implementation of this invention is explained below to gestalt 1. of operation based on drawing 1 thru/or drawing 4.

[0044] Drawing 1 is the important section sectional view showing the structure of the memory cell transistor 30 of the non-volatile semiconductor memory in the gestalt 1 of implementation of this invention, and is set to drawing 1. 1 For example, the semi-conductor substrate which consists of a P type silicon substrate, gate dielectric film which consists of silicon oxide by which 2 was formed on the 1 principal plane of the semi-conductor substrate 1, 3 is the floating gate (it is hereafter called "FG".) which was formed on gate dielectric film 2, for example, consists of electric conduction film, such as polycrystalline silicon film and amorphous silicon film. 4 is the interlayer insulation film formed on FG3. For example, TEOS (Tetraethoxysilane), A silicon nitride and the three-layer cascade screen which consists of TEOS, and 5 are the control gate (it is hereafter called "CG".) which was formed on the interlayer insulation film 4, for example, consists of polycrystalline silicon film. it is -- a part of word line is made.

[0045] 6 and 7 are the sources and the drain fields of the memory cell transistor 30, respectively, and they are formed so that the principal plane of the semi-conductor substrate 1 may be countered under FG3. Among this, the source field 6 consists of high-concentration impurity range 6b formed in the location which is distant from the side face of FG3 from low-concentration impurity range 6a formed in a configuration under which a part goes to the bottom of FG3, impurity range 6c of concentration while being formed so that it might have a rim directly under the side face of FG3 mostly, and impurity range 6c of inside [ this ] concentration. On the other hand, the drain field 7 consists of low-concentration impurity range 7a formed in a configuration under which a part goes to the bottom of FG3, and high-concentration impurity range 7b formed so that it might have a rim directly under the side face of FG3 mostly.

[0046] Here, it expresses that the difference of the high impurity concentration relative between each impurity range instead of absolute high impurity concentration has arisen as high concentration, inside concentration, and low concentration, and the absolute value of the concentration of each impurity range needs to choose the optimum value in consideration of the die length of the control gate and each floating gate, the class of impregnation ion, and other various conditions according to the electrical characteristics of the memory cell transistor 30.

[0047] Moreover, the notation of N- in drawing, N+, and N++ etc. is a notation used since absolute high impurity concentration is not expressed like the above and the difference of the relative high impurity concentration of each field is expressed.

[0048] 8 and 9 sandwiched the above-mentioned gate dielectric film 2, FG3, an interlayer insulation film 4, and CG5, and it was formed on the source and the drain field 6, and 7, respectively, for example, it is the sidewall which consists of silicon oxide, and especially the sidewall 9 on a drain field is constituted by layer 9a which touches the side face of FG3 grade, and layer 9b formed in the outside. 10 is upper \*\*\*\*\* which consists of silicon oxide, such as TEOS formed on CG5, and the part by the side of the source is deleted. 11 is the sidewall of this upper \*\*\*\*\* 10, and is formed in the source side on CG5.

[0049] Below, the manufacture approach of a non-volatile semiconductor memory of having the memory cell transistor 30 of such structure is explained using drawing 2 thru/or drawing 4. Drawing 2 thru/or drawing 4 are the important section sectional views shown in order of the process about each of the memory cell section which has the memory cell transistor 30 for the manufacture approach of the non-volatile semiconductor memory in the gestalt 1 of this operation, and the circumference circuit section which has the circumference transistor 40.

[0050] First, as shown in drawing 2 (a), gate oxide 2 is formed for example, by the oxidizing [ thermally ] method on the semi-conductor substrate 1 which consists of a P type silicon substrate, 1st [ used as FG3 ] electric conduction film 3a which consists of polycrystalline silicon film or amorphous silicon film, for example is deposited using a CVD method on it, patterning is carried out to a desired configuration using the usual photoengraving-process technique, and FG3 is formed in the memory cell section. Then, three layers, TEOS, a silicon nitride, and TEOS, are deposited in order as an interlayer insulation film 4 the whole surface on the semi-conductor substrate 1. Next, the interlayer insulation film 4 and electric conduction film 3 of \*\* 1st a which are formed in the circumference circuit section are removed.

[0051] Next, the gate oxide 12 for circumference transistor 40 is formed by thermal oxidation, and a part serves as the gate electrode 13 of a circumference transistor, and other parts serve as CG5, for example, deposit on both the circumference circuit section and the memory cell section 2nd electric conduction film 5a which consists of polycrystalline silicon film or compound film of polycrystalline silicon and a refractory metal using a CVD method. Furthermore, an oxide film 14 and the polycrystalline silicon film 15, such as TEOS, are deposited



on the upper layer in order.

[0052] Next, as shown in drawing 2 (b), a resist is applied on the above-mentioned polycrystalline silicon film 15, and the resist mask 16 is formed by carrying out patterning of this to a desired configuration.

[0053] Next, as shown in drawing 3 (a), using the formed resist mask 16, the polycrystalline silicon film 15 is processed by anisotropic etching, and the resist mask 16 is removed after that.

[0054] Next, as shown in drawing 3 (b), silicon oxide 14 is processed by anisotropic etching by using as a mask the polycrystalline silicon film 15 processed into the configuration of the above-mentioned request, oxide-mask 14a is formed, then using this oxide-mask 14a, that 2nd lower layer electric conduction film 5a is processed by anisotropic etching, and the gate electrode 13 and CG5 of a circumference transistor are formed.

[0055] Here, the polycrystalline silicon film 15 on oxide-mask 14a is also removed by coincidence by the anisotropic etching used for formation of the above-mentioned gate electrode 13 and CG5. Moreover, oxide-mask 14a in the circumference circuit section becomes upper \*\*\*\*\* 17 to the gate electrode 13.

[0056] Next, as shown in drawing 3 (c), the circumference circuit section is covered by the resist, and when only the memory cell section processes an interlayer insulation film 4 and electric conduction film 3 of \*\* 1st a by anisotropic etching, FG3 is formed using the above-mentioned oxide mask 14a. Then, the resist which has covered the above-mentioned circumference circuit section is removed. At this time, on the occasion of etching of an interlayer insulation film 4, oxide mask 14a of the memory cell section is also etched into coincidence, and thickness becomes thin.

[0057] Next, as shown in drawing 3 (d), the resist mask 18 which covers the source side of the memory cell section and the circumference circuit section, and carries out opening to the drain side of the memory cell section is formed, using this mask 18, the ion implantation of Lynn and an arsenic is performed to the semi-conductor substrate 1, and the drain field 7 of a memory cell transistor is formed. Here, a small amount of boron may be poured into coincidence. Then, the resist mask 18 is removed.

[0058] Next, as shown in drawing 4 (a), rather than the insulator layer for the sidewalls of the circumference transistor 40, thickness is thin and deposits the oxide film 23 of the same classes (for example, TEOS etc.) all over semi-conductor substrate 1.

[0059] Next, as shown in drawing 4 (b), the drain side of the memory cell section and the circumference circuit section are covered, and it is the direction of a word line of the semi-conductor substrate 1 (in drawing 2 thru/or drawing 4 ). The part used as the source field 6 of each memory cell transistor located in a line in the direction perpendicular to space, The separation oxide film isolated in the part used as the source field 6 of each memory cell transistor concerned, The resist mask 24 which carries out opening is formed in the oxide mask 14a front face on CG5 of each memory cell transistor. Using this resist mask 24, throughout a period of the above-mentioned oxide-film 23, ion implantations, such as an arsenic, are performed and a part of source field 6 25 finally set to high-concentration impurity range 6b is formed in high concentration.

[0060] Since the thickness of the oxide film 23 currently formed on it is thick to the direction of ion incidence at the semi-conductor substrate 1 located directly under [ CG5 edge ] the source side of the memory cell section at this time, high-concentration impurity range 6b will be formed in the location which incidence ion (for example, arsenic) did not reach, therefore is distant from directly under [ CG5 edge ]. Moreover, incidence ion, such as an arsenic, does not reach CG5 by the resist 24 and oxide-mask 14a, either.

[0061] Next, as shown in drawing 4 (c), a separation oxide film is removed so that the part which serves as the source field 6 of each memory cell transistor located in a line in the direction of a word line by the anisotropic etching using the resist mask 24 may be connected, and semi-conductor substrate 1 front face covered with the separation oxide film concerned is exposed. Hereafter, this anisotropic etching is called SAS (self aryne source) etching. At this time, the oxide film 23 on CG5 and oxide mask 14a are also etched into coincidence, and upper \*\*\*\*\* 10 of a memory cell transistor is formed.

[0062] Next, CG5 and the resist mask 19 from which a part of upper \*\*\*\*\* 10 was removed are used. The ion implantation of Lynn and an arsenic is performed by low concentration in self align more relatively than the ion implantation shown by above-mentioned drawing 4 (b). A part of source field 6 26 which has the rim in a near location near the CG5 edge, and finally turns into the impurity ranges 6a and 6c of low concentration and inside concentration from a part of above-mentioned source field 25 is formed. Here, the ion implantation of a small amount of boron may be carried out to coincidence. At this time, wiring (the so-called "source line") of structure with which the source field 6 of each memory cell transistor located in a line in the direction of a word line was connected is formed in semi-conductor substrate 1 front face previously exposed according to the SAS etching process, and its near in parallel with a word line.

[0063] Next, by performing anisotropic etching by using the gate electrode 13 and CG5 as a mask, as shown in

drawing 4 (d) after removal of the resist mask 19 Gate dielectric film 12 and 2 is processed. The whole surface on the semi-conductor substrate 1 for example, by forming the insulator layer which consists of silicon oxide using a CVD method, and performing anisotropic etching Sidewalls 8 and 9 are formed on the source of the side face of FG3 and CG5 and the drain field 6, and 7 at the same time it forms a sidewall 20 in the gate electrode 13 of a circumference transistor, and the side face of upper \*\*\*\*\* 17.

[0064] Then, by covering the memory cell section by the resist, for example, carrying out the ion implantation of Lynn or the arsenic to high concentration, the source and the drain fields 21 and 22 of a circumference transistor are formed, and the circumference transistor 40 is obtained. Here, the ion implantation of a small amount of boron may be carried out to coincidence. Then, the resist which had covered the above-mentioned memory cell section is removed.

[0065] Then, by heat-treating, by carrying out thermal diffusion of the dopant poured into the source and a drain field, low-concentration impurity range 7a and high-concentration impurity range 7b are formed in low-concentration impurity range 6a, impurity range 6c of inside concentration and high-concentration impurity range 6b, and a list, and the non-volatile semiconductor memory containing the memory cell transistor 30 shown in drawing 1 is obtained.

[0066] Here, in the process shown by above-mentioned drawing 4 (c), since the dopant from which the diffusion length by thermal diffusion, such as Lynn and an arsenic, differs is poured in, in this heat treatment process, 26 which is the one section of a source field will be divided and formed in inside concentration and the low-concentration impurity ranges 6c and 6a.

[0067] [ since it was constituted as mentioned above, when CG5 is made detailed in the gestalt 1 of this operation ] As opposed to high-concentration impurity range 7b being formed directly under CG5 in the drain field 7 Only the source field 6 can keep away high-concentration impurity range 6b directly under [ edge ] CG5. And since the distance between low-concentration impurity range 6a which specifies the substantial die length of the source and the drain field 6, and the channel field between seven, and 7a can be maintained at distance which a current cannot flow easily and does not become, It has the effectiveness that it is securable to dispersion at the time of manufacture of spacing of the above-mentioned source field 6 and the drain field 7, tolerance, i.e., L margin, for this non-volatile semiconductor memory to show predetermined electrical characteristics.

[0068] Moreover, in the drain field 7, although high-concentration impurity range 7b is formed near the edge of CG5 for the drawing of a charge, in addition since low-concentration impurity range 7a is formed, it has the effectiveness that the fall of drain pressure-proofing can be prevented.

[0069] Moreover, in the gestalt 1 of this operation, since it is arranged so that it may become high concentration as it has the high-impurity-concentration fields 6a, 6c, and 6b of a multistage story, and 7a and 7b and those high impurity concentration keeps away from CG5, respectively, LDD structure can be formed, fluctuation of a threshold electrical potential difference etc. can be controlled, and it has the effectiveness of the source and the drain fields 6 and 7 that the high-reliability of this non-volatile semiconductor memory is realizable.

[0070] Furthermore, in the gestalt 1 of this operation, it sets in the circumference circuit section. Only by an oxide film 23 accumulating, like a conventional example mentioned above, since the sidewall 20 of a circumference transistor is not necessarily formed once forming the sidewall of the memory cell transistor 30 What is necessary is to deduct the thickness of the oxide film 23 deposited previously, and just to deposit the insulator layer concerned at the time of deposition of the insulator layer for sidewall 20 formation of a circumference transistor, without dispersion in the thickness of the sidewall by etching arising.

[0071] Moreover, in the gestalt 1 of this operation, since the above manufacture approaches are used, compared with the conventional manufacture approach, the non-volatile semiconductor memory equipped with the structure of having the above-mentioned effectiveness, by the increment only in one process which is a process which deposits an oxide film 23 can be obtained.

[0072] In addition, in the gestalt 1 of this operation, in the process shown in drawing 4 (c), even if it applies a long time in order to perform strong SAS etching of an anisotropy, and to remove an oxide film 23, as shown in drawing 5, an oxide film 23 may be unable to be removed. In such a case, when a separation oxide film is removed, SAS etching may once be ended, and the small wet etching of etching rates, such as comparatively weak dry etching of an anisotropy or low concentration fluoric acid, may remove oxide film 23a which remained.

[0073] Moreover, since the dopant from which the diffusion length by thermal diffusion, such as Lynn and an arsenic, differs is poured in in the gestalt 1 of this operation in the process shown by above-mentioned drawing 4 (c), Although inside concentration and the low-concentration impurity ranges 6c and 6a will be divided and will be formed of heat treatment in a back process Instead, impregnation using one of ion may be performed, and in

this case, as shown in drawing 6, impurity range 6c of the inside concentration of the source fields 6 of a memory cell transistor will be formed.

[0074] However, only the source field 6 can keep away high-concentration impurity range 6b directly under [ edge ] CG5 also in this case. And low-concentration impurity range 6a which specifies the substantial die length of the source and the drain field 6, and the channel field between seven, The distance between 7a can be maintained at distance which a current cannot flow easily and does not become. In addition, it has the high-impurity-concentration fields 6a and 6b of a multistage story, and 7a and 7b, and there is no change in the thing of the source and the drain fields 6 and 7 arranged so that it may become high concentration, respectively as those high impurity concentration keeps away from CG5, and it will have the same effectiveness as the above.

[0075] Moreover, in the above-mentioned case, the case where the memory cell transistor 30 and the circumference transistor 40 were N channel molds was shown, but In the process shown by drawing 3 (d) and drawing 4 (b), and (c), Lynn, an arsenic, etc. may carry out the ion implantation of boron or BF2 instead of. In this case Are hard to carry out thermal diffusion and like [ in case these dopants are the above ] by thermal diffusion Although it can be divided and inside concentration and the low-concentration impurity ranges 6c and 6a cannot be made to form, the source and a drain field can be formed in the configuration where the field of N (and P) mold shown in drawing 6 was changed into P (and N) mold, therefore it will have the same effectiveness as the above.

[0076] The gestalt 2 of implementation of this invention receives the gestalt 1 of the above-mentioned operation. gestalt 2. of operation -- High concentration field 6b of the source of the memory cell transistor 30, and a drain field, It is the same as that of the gestalt 1 of operation which is only different at a point equipped with the 2nd high concentration field 6d and 7d which has a rim in the location further distant from 7b to CG5, and has high impurity concentration still higher than the high concentration fields 6b and 7b, and was described above about other points.

[0077] Drawing 7 is the important section sectional view showing the structure of account of non-volatile semi-conductor 100 million equipment in the gestalt 2 of implementation of this invention. The structure of this equipment is equipped with the 2nd high concentration field 6d and 7d which has high impurity concentration still higher than the high concentration fields 6b and 7b while it has a rim to the structure of account of non-volatile semi-conductor 100 million equipment shown in drawing 1 of the gestalt 1 of operation in the location further distant from the source of a memory cell transistor, and the high concentration fields 6b and 7b of a drain field to CG5.

[0078] Below, the manufacture approach of account of non-volatile semi-conductor 100 million equipment constituted in this way is explained. Although the manufacture approach of account of non-volatile semi-conductor 100 million equipment in the gestalt 2 of this operation takes a process which is different about the process shown in drawing 4 (d) in the gestalt 1 of the above-mentioned implementation, it includes the same process as the manufacture approach in the gestalt 1 of operation shown by above-mentioned drawing 2 thru/or drawing 4 about other processes.

[0079] The memory cell section by the resist after specifically forming the sidewalls 8, 9, and 20 shown by drawing 4 (d) in the gestalt 2 of this operation nothing by [ alias a wrap ] carrying out the ion implantation of Lynn or the arsenic, for example to high concentration The 2nd high concentration field 6d and 7d is formed by using sidewalls 8 and 9 as a mask at the same time it forms the source and the drain fields 21 and 22 of a circumference transistor.

[0080] In the gestalt 2 of this operation, since an ion implantation can be performed, while being able to aim at reduction in a routing counter, without forming a wrap resist mask for the memory cell section compared with the gestalt 1 of operation, it becomes possible to also have the effectiveness in the gestalt 1 of operation, and the same effectiveness.

[0081] In addition, in the gestalt 2 of this operation, in the 2nd high concentration field 6d and 7d, since the contact to the drain field 7 can be taken, it becomes possible to be unrelated to the drawing of a charge, that is, to specifically reduce high impurity concentration, such as an impurity range in the drain field 7 which is unrelated to account 100 million actuation, and a deep part directly under an edge of FG3.

[0082] Moreover, in the gestalt 2 of this operation, in case the source and the drain fields 21 and 22 of a circumference transistor are formed, the possibility of the charge up can be reduced by performing the high-concentration ion implantation, alias a wrap, nothing by the resist for the memory cell section top which has the memory cell transistor of the same conductivity type, and it has the effectiveness that destruction of the electric component by the charge up can be prevented.

[0083] gestalt 3. of operation -- the gestalt 3 of implementation of this invention is the same as the gestalt 1 of

operation which is only different from the direct semi-conductor substrate 1 at the point which carries out high concentration impregnation of the arsenic, and was described above about other points, after exposing semi-conductor substrate 1 front face instead of performing the high-concentration ion implantation of an arsenic throughout a period of oxide-film 23, as drawing 4 (b) showed to the gestalt 1 of the above-mentioned operation.

[0084] Below, the gestalt 3 of this operation is explained using drawing 8. Drawing 8 is the important section sectional view having shown the manufacture approach of the non-volatile semiconductor memory in the gestalt 3 of this operation in order of the process about each of the memory cell section and the circumference circuit section.

[0085] In the gestalt 3 of this operation, formation of the resist mask 24 shown by drawing 4 (b) is the same as that of the manufacture approach of the gestalt 1 operation, and after formation of the above-mentioned resist mask 24, just before performing high concentration impregnation of an arsenic, as drawing 8 (a) shows, anisotropic etching is performed to extent which removes residue of an oxide film 23 and gate dielectric film 2 using the resist mask 24. Consequently, while semi-conductor substrate 1 front face by the side of the source of the memory cell section is exposed, the sidewall 27 of the thin thickness it is thin from the above-mentioned oxide film 23 is formed.

[0086] If the thickness of the above-mentioned sidewall 27 becomes thin too much by etching, since the high-concentration impurity range 25 formed with the arsenic by which high concentration impregnation is carried out will approach the edge of CG5 too much, it becomes impossible here, to acquire desired effectiveness. Therefore, in the above-mentioned etching, although exposure of semi-conductor substrate 1 front face is performed, it is not desirable to perform etching beyond the need. Therefore, it is necessary to perform moderate etching of extent which removes residue of an oxide film 23 and gate dielectric film 2 here. Moreover, anisotropic etching may use the same approach as SAS etching here.

[0087] Next, as shown in drawing 8 (b), it is directly made the semi-conductor substrate 1 exposed by the above-mentioned anisotropic etching, the ion implantation of the arsenic is made to high concentration, and a part of source field 6 25 is formed. The subsequent process is the same as the process below drawing 4 (c) of the gestalt 1 of operation.

[0088] In the gestalt 3 of this operation, since the etching process of the oxide film 23 by the side of the source of the memory cell section is added compared with the gestalt 1 of operation Although it will compare with the former and will increase two processes in total in the gestalt 3 of this operation to the increment in the routing counter in the case of the gestalt 1 of operation being only one process, the increment only in these two processes enables it to have the effectiveness in the gestalt 1 of operation, and the same effectiveness.

[0089] In addition, in the gestalt 3 of this operation, with the gestalt 1 of operation, since a direct ion implantation can be performed to the semi-conductor substrate 1 to having needed high impregnation energy in order to perform an ion implantation throughout a period of oxide-film 23, it has the effectiveness of not needing the increment in impregnation energy.

[0090] In addition, in the gestalt 3 of this operation, although anisotropic etching and a high concentration ion implantation are performed once only to the source side of the memory cell section, respectively By instead, the thing for which the resist mask 24 is removed, an oxide film is deposited again, a resist mask is formed, anisotropic etching is performed, and a high concentration ion implantation is performed before performing SAS etching after the process shown by drawing 8 (b) If it furthermore says, the field of high impurity concentration where a large number differ further can be formed in the source and the drain fields 6 and 7 which are obtained with the gestalt 3 of operation by repeating the process of these single strings two or more times. That is, it becomes possible to subdivide further the source and the drain field 6, and the phase of concentration distribution of seven.

[0091] However, the thickness of the oxide film to deposit must not exceed the thickness of the insulator layer deposited on the sidewalls 20 of a circumference transistor here.

[0092] Moreover, in the above-mentioned case, the case where the memory cell transistor 30 and the circumference transistor 40 were N channel molds was shown, but in the process shown by drawing 8 (b), instead of an arsenic, the ion implantation of boron or BF<sub>2</sub> may be carried out, and it will have the same effectiveness as the above also in this case.

[0093]

[Effect of the Invention] The non-volatile semiconductor memory concerning this invention is equipped with the storage element formed in one principal plane of a semi-conductor substrate. The above-mentioned storage element The 1st conductive layer formed through the 1st insulator layer on the principal plane of the above-



mentioned semi-conductor substrate, The 2nd conductive layer formed through the 2nd insulator layer on the conductive layer of the above 1st, It has the source and the drain field which were formed so that the principal plane of the above-mentioned semi-conductor substrate might be countered under the 1st conductive layer of the above. Since it is characterized by for the above-mentioned drain field having two or more fields where high impurity concentration differs, and the above-mentioned source field having the field where much high impurity concentration differs rather than the above-mentioned drain field When the 2nd conductive layer of the above is made detailed, only the above-mentioned source field becomes possible [ separating from the 2nd conductive layer concerned the field where high impurity concentration is high ]. The sake, It has the effectiveness that tolerance for the non-volatile semiconductor memory concerned to show predetermined electrical characteristics is securable to dispersion at the time of manufacture of spacing of the above-mentioned source field and a drain field.

[0094] Moreover, since a field with two or more fields near the 1st conductive layer where the high impurity concentration which each of the above-mentioned source and a drain field has differs is characterized by the low thing by high impurity concentration, the above-mentioned source and a drain field serve as LDD structure, can control fluctuation of a threshold electrical potential difference etc., and have the effectiveness that high-reliability is realizable.

[0095] It has the storage element formed in one principal plane of a semi-conductor substrate. Moreover, the above-mentioned storage element The 1st conductive layer formed through the 1st insulator layer on the principal plane of the above-mentioned semi-conductor substrate, The 2nd conductive layer formed through the 2nd insulator layer on the conductive layer of the above 1st, the source and the drain field which were formed so that the principal plane of the above-mentioned semi-conductor substrate might be countered under the 1st conductive layer of the above, and the 1st and 2nd conductive layers of the above are inserted. The sidewall which has the sidewall of the pair formed on the above-mentioned source or a drain field, respectively, and was formed on the drain field of the sidewalls of the above-mentioned pair Since it is characterized by having many layers from the sidewall formed on the source field By performing the ion implantation in the formation process of the above-mentioned source field every in the time of manufacture of the non-volatile semiconductor memory concerned, whenever each class which the above-mentioned sidewall has is formed Since the above-mentioned source field will have as a result the field where much high impurity concentration differs rather than the above-mentioned drain field When the 2nd conductive layer of the above is made detailed, only the above-mentioned source field becomes possible [ separating from the 2nd conductive layer concerned the field where high impurity concentration is high ]. The sake, It has the effectiveness that tolerance for the non-volatile semiconductor memory concerned to show predetermined electrical characteristics is securable to dispersion at the time of manufacture of spacing of the above-mentioned source field and a drain field.

[0096] Moreover, since it is characterized by all the layers that the sidewall of the above-mentioned pair has being constituted by the insulator layer of the same class, formation of the non-volatile semiconductor memory concerned becomes easy, and it has the effectiveness that it is possible to aim at reduction of a manufacturing cost.

[0097] The manufacture approach of the non-volatile semiconductor memory concerning this invention The 1st conductive layer formed through the 1st insulator layer on the 1 principal plane of a semi-conductor substrate, The 2nd conductive layer formed through the 2nd insulator layer on the conductive layer of the above 1st, The storage element which has the source and the drain field which were formed so that the principal plane of the above-mentioned semi-conductor substrate might be countered under the 1st conductive layer of the above, And it sets to the manufacture approach of the non-volatile semiconductor memory equipped with the circumference transistor formed in the principal plane of the above-mentioned semi-conductor substrate. The process which deposits the insulator layer which becomes a part of sidewall of the circumference transistor concerned on the part in which the above-mentioned storage element and circumference transistor of the above-mentioned semi-conductor substrate are formed, Since the process which performs an ion implantation above the part used as the source field of the above-mentioned storage element of the above-mentioned semi-conductor substrate using the mask which carries out opening is included The non-volatile semiconductor memory manufactured by this approach only increases the process which deposits the insulator layer for the above-mentioned sidewalls as a routing counter, and becomes able [ the above-mentioned source field ] to have the field where much high impurity concentration differs rather than the above-mentioned drain field. Only by therefore, extension of slight production time and some manufacture increases in cost As opposed to dispersion [ when the 2nd conductive layer of the above is made detailed, only the above-mentioned source field becomes possible / separating from the 2nd conductive layer concerned the field where high impurity concentration is



high /, and ] at the time of manufacture of spacing of the above-mentioned source field and a drain field It will have the effectiveness that tolerance for the non-volatile semiconductor memory concerned to show predetermined electrical characteristics is securable.

[0098] Since it is characterized by repeating the process which deposits the above-mentioned insulator layer, and the process which performs an ion implantation two or more times, respectively, moreover, the non-volatile semiconductor memory manufactured by this approach Since the above-mentioned source field will have the field where further much high impurity concentration differs rather than the above-mentioned drain field It also sets, when the 2nd conductive layer of the above is made detailed, and it has the effectiveness that bigger tolerance than that for the non-volatile semiconductor memory concerned to show predetermined electrical characteristics is securable to dispersion at the time of manufacture of spacing of the above-mentioned source field and a drain field.

[0099] Moreover, since it is characterized by the process which performs the above-mentioned ion implantation making [ many ] an injection rate like a next process, as for the non-volatile semiconductor memory manufactured by this approach, the above-mentioned source and a drain field have the effectiveness that it can become LDD structure, fluctuation of a threshold electrical potential difference etc. can be controlled, and high-reliability can be realized.

[0100] Moreover, the 1st conductive layer formed through the 1st insulator layer on the 1 principal plane of a semi-conductor substrate, The 2nd conductive layer formed through the 2nd insulator layer on the conductive layer of the above 1st, The storage element which has the source and the drain field which were formed so that the principal plane of the above-mentioned semi-conductor substrate might be countered under the 1st conductive layer of the above, And it sets to the manufacture approach of the non-volatile semiconductor memory equipped with the circumference transistor formed in the principal plane of the above-mentioned semi-conductor substrate. The process which deposits the insulator layer which becomes a part of sidewall of the circumference transistor concerned on the part in which the above-mentioned storage element and circumference transistor of the above-mentioned semi-conductor substrate are formed, Since the process which etches a part of above-mentioned insulator layer above the part used as the source field of the above-mentioned storage element of the above-mentioned semi-conductor substrate using the mask which carries out opening is included The non-volatile semiconductor memory manufactured by this approach By being able to stop the impregnation energy of the ion implantation for forming the above-mentioned source field, and moreover performing this ion implantation after the etching process of the above-mentioned insulator layer for sidewalls As a result, the above-mentioned source field will have the field where much high impurity concentration differs rather than the above-mentioned drain field. Therefore, when the 2nd conductive layer of the above is made detailed, only the above-mentioned source field becomes possible [ separating from the 2nd conductive layer concerned the field where high impurity concentration is high ], and it has the effectiveness that tolerance for the non-volatile semiconductor memory concerned to show predetermined electrical characteristics is securable to dispersion at the time of manufacture of spacing of the above-mentioned source field and a drain field.

[0101] Moreover, since it is characterized by repeating the process which deposits the above-mentioned insulator layer, and the process which etches a part of insulator layer concerned two or more times, respectively The non-volatile semiconductor memory manufactured by this approach Since the above-mentioned source field will have the field where further much high impurity concentration differs rather than the above-mentioned drain field It also sets, when the 2nd conductive layer of the above is made detailed, and it has the effectiveness that bigger tolerance than that for the non-volatile semiconductor memory concerned to show predetermined electrical characteristics is securable to dispersion at the time of manufacture of spacing of the above-mentioned source field and a drain field.

[0102] Moreover, since it is characterized by using the insulator layer of the same class altogether as the above-mentioned insulator layer which carries out multiple-times deposition, it has the effectiveness that formation of the equipment concerned is easy for the non-volatile semiconductor memory manufactured by this approach, and it is possible to aim at reduction of a manufacturing cost.

---

[Translation done.]

## DESCRIPTION OF DRAWINGS

---

### [Brief Description of the Drawings]

**[Drawing 1]** It is the important section sectional view showing the structure of the memory cell transistor of the non-volatile semiconductor memory in the gestalt 1 of implementation of this invention.

**[Drawing 2]** It is the important section sectional view having shown the manufacture approach of the non-volatile semiconductor memory in the gestalt 1 of implementation of this invention in order of the process about each of the memory cell section and the circumference transistor section.

**[Drawing 3]** It is the important section sectional view having shown the manufacture approach of the non-volatile semiconductor memory in the gestalt 1 of implementation of this invention in order of the process about each of the memory cell section and the circumference transistor section.

**[Drawing 4]** It is the important section sectional view having shown the manufacture approach of the non-volatile semiconductor memory in the gestalt 1 of implementation of this invention in order of the process about each of the memory cell section and the circumference transistor section.

**[Drawing 5]** It is the important section sectional view of the non-volatile semiconductor memory with which the oxide film remained, without being unremovable by SAS etching.

**[Drawing 6]** It is the important section sectional view showing the structure of the memory cell transistor of the non-volatile semiconductor memory formed of impregnation of one kind of ion.

**[Drawing 7]** It is the important section sectional view showing the structure of the memory cell transistor of account of non-volatile semi-conductor 100 million equipment in the gestalt 2 of implementation of this invention.

**[Drawing 8]** It is the important section sectional view having shown the manufacture approach of the non-volatile semiconductor memory in the gestalt 3 of implementation of this invention in order of the process about each of the memory cell section and the circumference transistor section.

**[Drawing 9]** It is the important section sectional view showing the structure of the memory cell transistor of the conventional non-volatile semiconductor memory.

**[Drawing 10]** It is the important section sectional view having shown the manufacture approach of the conventional non-volatile semiconductor memory in order of the process about each of the memory cell section and the circumference transistor section.

**[Drawing 11]** It is the important section sectional view having shown the manufacture approach of the conventional non-volatile semiconductor memory in order of the process about each of the memory cell section and the circumference transistor section.

### [Description of Notations]

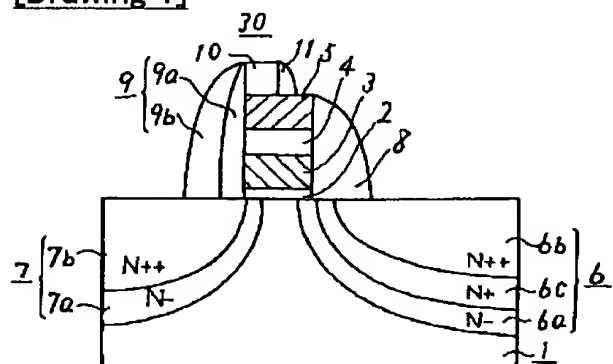
1 Semi-conductor Substrate 2 1st Insulator Layer 3 1st Conductive Layer, 4 The 2nd insulator layer 5 The 2nd conductive layer 6, a source field, 6a, 6b, 6c, 6d One field, 7 which form a source field Drain field, 7a, 7b, 7d One field, 8 which form a drain field The sidewall formed on the source field, 9 A sidewall, 9a, 9b which were formed on the drain field The layer which forms the sidewall on a drain field, 23 The insulator layer, 24 which become a part of sidewall of a circumference transistor 25 A mask, 26 The part used as the source field of the storage element of a semi-conductor substrate, 30 A storage element and 40 Circumference transistor.

---

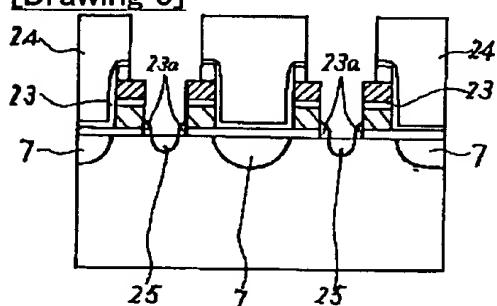
[Translation done.]

## DRAWINGS

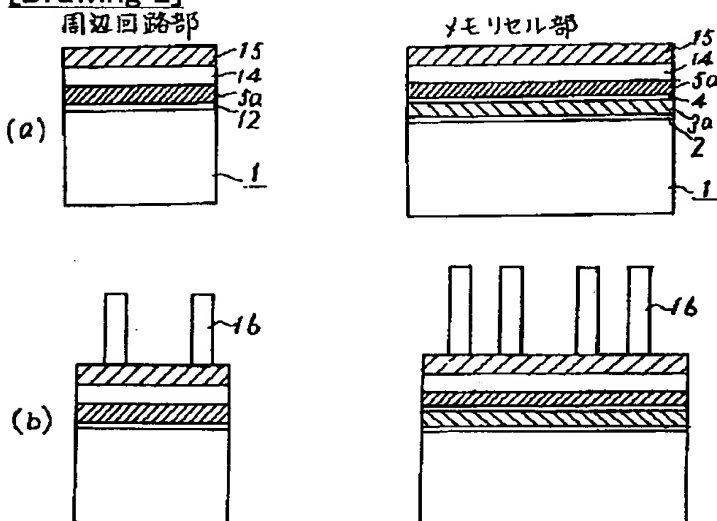
[Drawing 1]



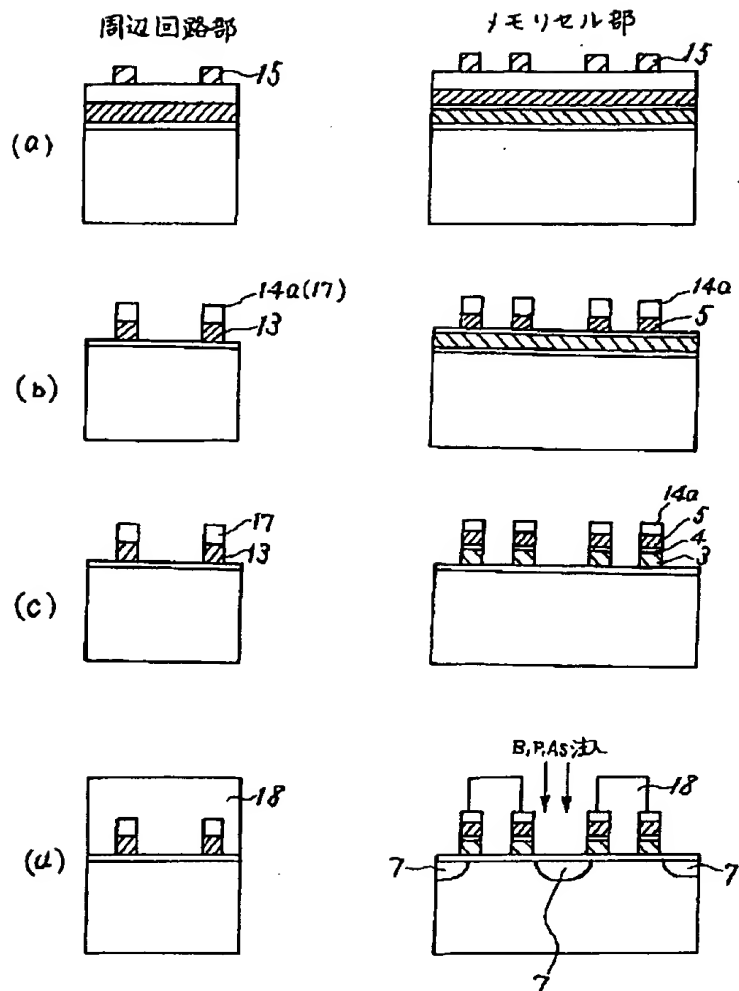
[Drawing 5]



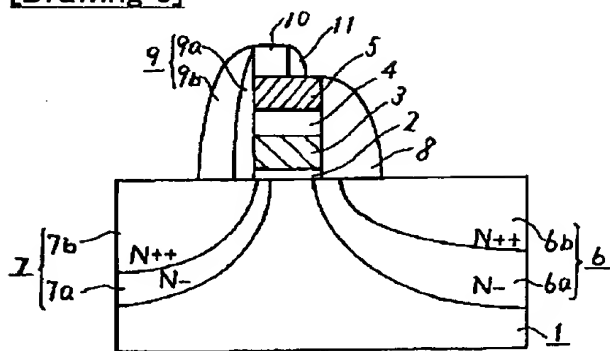
[Drawing 2]



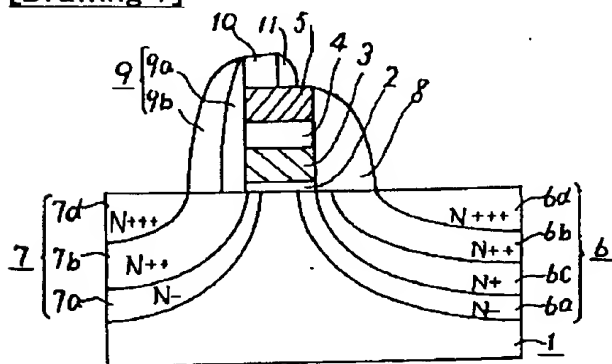
[Drawing 3]



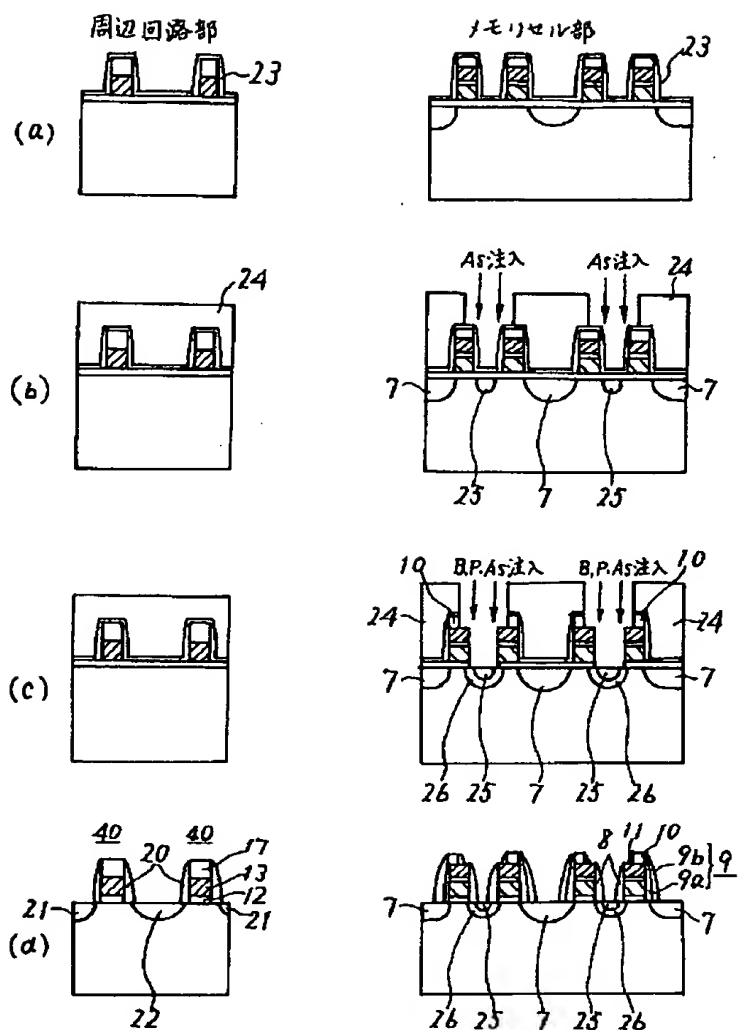
[Drawing 6]



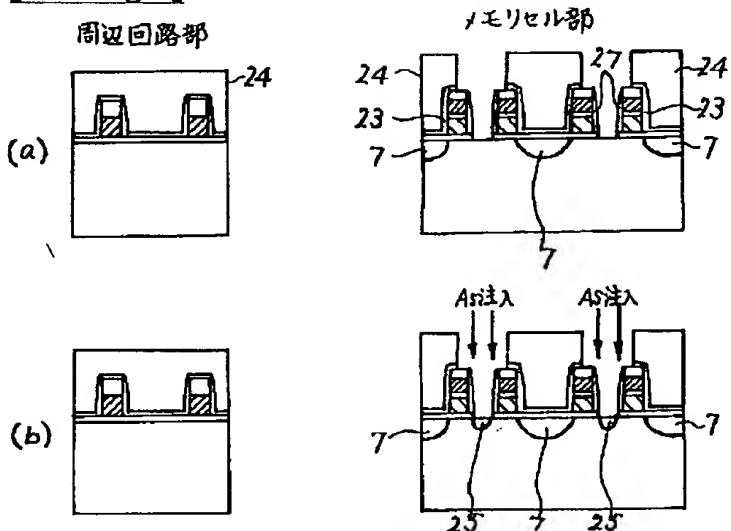
[Drawing 7]



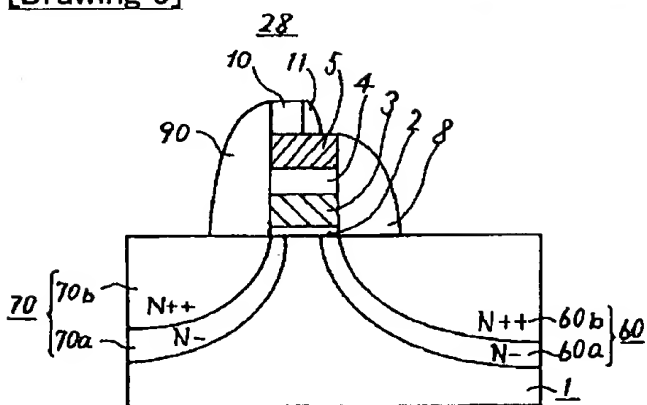
[Drawing 4]



[Drawing 8]

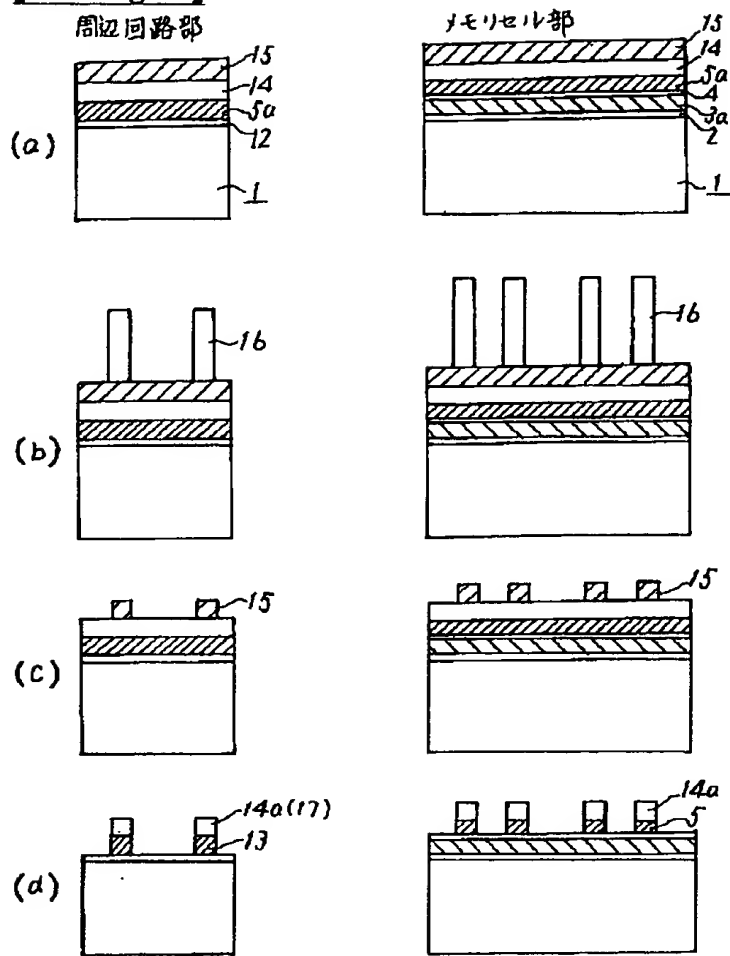


[Drawing 9]

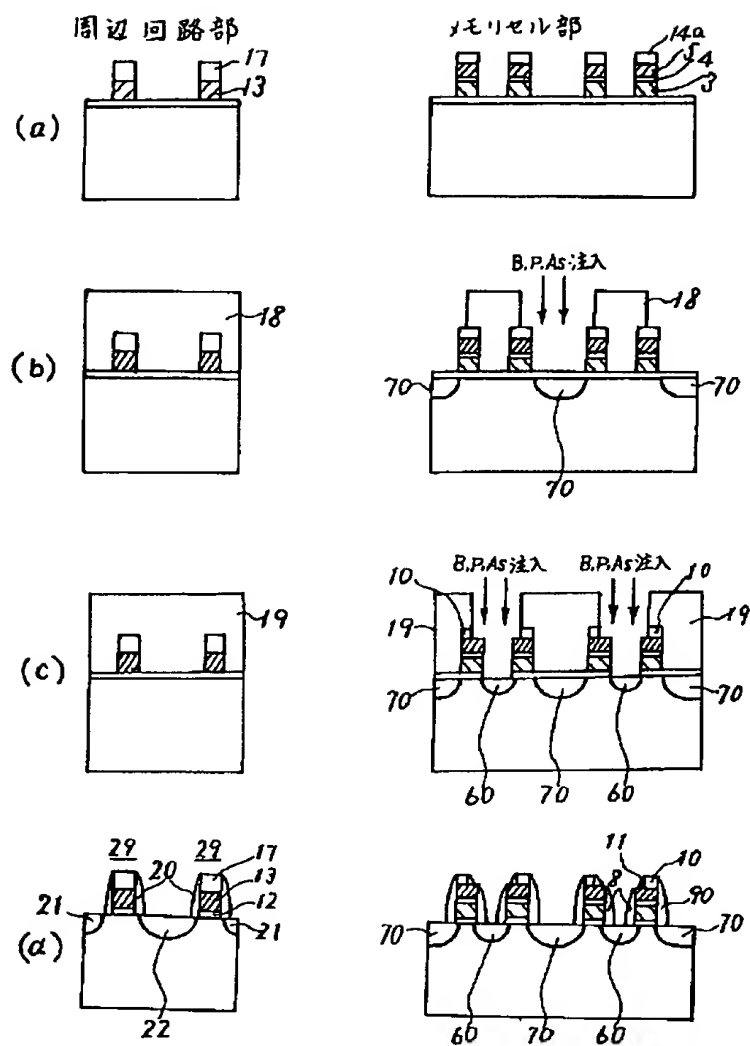




[Drawing 10]



[Drawing 11]



[Translation done.]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平10-209306

(43)公開日 平成10年(1998) 8月7日

(51)Int.Cl.<sup>5</sup>

識別記号

F I

H 0 1 L 21/8247  
29/788  
29/792  
27/115

H 0 1 L 29/78 3 7 1  
27/10 4 3 4

審査請求 未請求 請求項の数10 O L (全 14 頁)

(21)出願番号 特願平9-7767

(22)出願日 平成9年(1997) 1月20日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 九ノ里 勇一

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

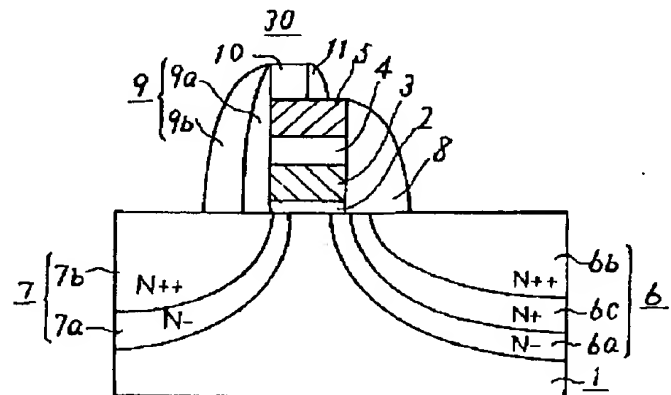
(74)代理人 弁理士 宮田 金雄 (外2名)

(54)【発明の名称】 不揮発性半導体記憶装置及びその製造方法

(57)【要約】

【課題】 メモリセルのゲート長を微細化しても、ソース・ドレイン間隔の製造時におけるばらつきに対して裕度がある不揮発性半導体記憶装置を得る。

【解決手段】 P型シリコン基板1の一主面上にゲート絶縁膜2を介して形成されたフローティングゲート(以下FGと呼ぶ)3と、FG3上に層間絶縁膜4を介して形成されたコントロールゲート(以下CGと呼ぶ)5と、シリコン基板1の主面にFG3の下において対向するように形成されたN型のソース及びドレイン領域6、7と、FG及びCG3、5を挟んで、それぞれソース又はドレイン領域6、7上に形成された1対のサイドウォール8、9とを備え、ドレイン領域7上のサイドウォール9がソース領域6上のサイドウォール8より多くの層9a、9bを有し、ソース領域6がドレイン領域7(領域7a、7bを有する)よりも多くの不純物濃度の異なる領域6a、6b、6cを有することを特徴とする。



## 【特許請求の範囲】

【請求項1】 半導体基板の一主面に形成された記憶素子を備え、

上記記憶素子は、上記半導体基板の主面上に第1の絶縁膜を介して形成された第1の導電層と、上記第1の導電層上に第2の絶縁膜を介して形成された第2の導電層と、上記半導体基板の主面上に上記第1の導電層の下において対向するように形成されたソース及びドレイン領域とを有し、

上記ドレイン領域は不純物濃度の異なる複数の領域を有し、上記ソース領域は上記ドレイン領域よりも多くの不純物濃度の異なる領域を有することを特徴とする不揮発性半導体記憶装置。

【請求項2】 ソース及びドレイン領域のそれぞれが有する不純物濃度の異なる複数の領域は、第1の導電層に近い領域ほど不純物濃度が低いことを特徴とする請求項1記載の不揮発性半導体記憶装置。

【請求項3】 半導体基板の一主面に形成された記憶素子を備え、

上記記憶素子は、上記半導体基板の主面上に第1の絶縁膜を介して形成された第1の導電層と、上記第1の導電層上に第2の絶縁膜を介して形成された第2の導電層と、上記半導体基板の主面上に上記第1の導電層の下において対向するように形成されたソース及びドレイン領域と、上記第1及び第2の導電層を挟んで、それぞれ上記ソース又はドレイン領域上に形成された一対のサイドウォールとを有し、  
上記一対のサイドウォールの内のドレイン領域上に形成されたサイドウォールは、ソース領域上に形成されたサイドウォールより多くの層を有することを特徴とする不揮発性半導体記憶装置。

【請求項4】 一対のサイドウォールが有する層は、全て同じ種類の絶縁膜により構成されていることを特徴とする請求項3記載の不揮発性半導体記憶装置。

【請求項5】 半導体基板の一主面上に第1の絶縁膜を介して形成された第1の導電層と、上記第1の導電層上に第2の絶縁膜を介して形成された第2の導電層と、上記半導体基板の主面上に上記第1の導電層の下において対向するように形成されたソース及びドレイン領域とを有する記憶素子、及び上記半導体基板の主面に形成された周辺トランジスタを備えた不揮発性半導体記憶装置の製造方法において、

上記半導体基板の上記記憶素子及び周辺トランジスタが形成される部分上に、当該周辺トランジスタのサイドウォールの一部となる絶縁膜を堆積する工程と、  
上記半導体基板の上記記憶素子のソース領域となる部分の上方に開口するマスクを用いて、イオン注入を行う工程とを含む不揮発性半導体記憶装置の製造方法。

【請求項6】 絶縁膜を堆積する工程と、イオン注入を行う工程とをそれぞれ複数回繰り返すことを特徴とする

請求項5記載の不揮発性半導体記憶装置の製造方法。

【請求項7】 イオン注入を行う工程は、後の工程ほど注入量を多くすることを特徴とする請求項6記載の不揮発性半導体記憶装置の製造方法。

【請求項8】 半導体基板の一主面上に第1の絶縁膜を介して形成された第1の導電層と、上記第1の導電層上に第2の絶縁膜を介して形成された第2の導電層と、上記半導体基板の主面上に上記第1の導電層の下において対向するように形成されたソース及びドレイン領域とを有する記憶素子、及び上記半導体基板の主面に形成された周辺トランジスタを備えた不揮発性半導体記憶装置の製造方法において、

上記半導体基板の上記記憶素子及び周辺トランジスタが形成される部分上に、当該周辺トランジスタのサイドウォールの一部となる絶縁膜を堆積する工程と、  
上記半導体基板の上記記憶素子のソース領域となる部分の上方に開口するマスクを用いて、上記絶縁膜の一部をエッチングする工程とを含む不揮発性半導体記憶装置の製造方法。

【請求項9】 絶縁膜を堆積する工程と、当該絶縁膜の一部をエッチングする工程とをそれぞれ複数回繰り返すことを特徴とする請求項8記載の不揮発性半導体記憶装置の製造方法。

【請求項10】 複数回堆積する絶縁膜としては、全て同じ種類の絶縁膜を用いることを特徴とする請求項6、7又は9のいずれか一項記載の不揮発性半導体記憶装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明は、不揮発性半導体記憶装置及びその製造方法に関するものであり、より特定的には、記憶素子のソース及びドレイン領域が非対称な構造を有するものに関する。

## 【0002】

【従来の技術】以下に、従来の不揮発性半導体記憶装置の一例であるDINOR (Divided NOR) 型のフラッシュメモリについて、図9並びに図10及び図11に基づいて説明する。

【0003】図9は従来のDINOR型のフラッシュメモリのメモリセルトランジスタ28の構造を示す要部断面図であり、図9において、1は例えばP型シリコン基板からなる半導体基板、2は半導体基板1の一主面上に形成されたシリコン酸化膜からなるゲート絶縁膜、3はゲート絶縁膜2上に形成された、例えば多結晶シリコン膜、非晶質シリコン膜等の導電膜からなるフローティングゲート（以下、「FG」という。）、4はFG3上に形成された層間絶縁膜であり、例えばTEOS (Tetraethoxysilane)、シリコン窒化膜、及びTEOSからなる3層積層膜、5は層間絶縁膜4上に形成された、例えば多結晶シリコン膜からなるコント

ロールゲート（以下、「CG」という。）である。

【0004】60および70は、それぞれメモリセルトランジスタ28のソース及びドレイン領域であり、半導体基板1の主面に、FG3の下において対向するように形成されており、それぞれ、一部がFG3の下にもぐり込むような形状に形成された低濃度の不純物領域60a、70aと、ほぼFG3の側面の直下に外縁を有するように形成された高濃度の不純物領域60b、70bから構成されている。

【0005】ここで、高濃度及び低濃度とは、絶対的な不純物濃度でなく、各不純物領域間に相対的な不純物濃度の差が生じていることを表しており、各不純物領域の濃度の絶対値は、メモリセルトランジスタ28の電気的特性に応じて、コントロールゲート及びフローティングゲートそれぞれの長さ、注入イオンの種類、その他様々な条件を考慮した最適値を選択する必要がある。

【0006】又、図中のN<sup>-</sup>、N<sup>++</sup>等の記号は、上記同様に絶対的な不純物濃度を表すものでなく、各領域の相対的な不純物濃度の差を表すために用いられている記号である。

【0007】8及び90は、上記ゲート絶縁膜2、FG3、層間絶縁膜4、及びCG5を挟んで、それぞれソース及びドレイン領域60、70上に形成されたサイドウォール、10はCG5上に形成されたTEOS等のシリコン酸化膜からなる上敷酸化膜であり、ソース側の一部が削られている。11はこの上敷酸化膜10のサイドウォールであり、CG5上のソース側に形成されている。

【0008】つぎに、このように構成された従来の不揮発性半導体記憶装置の製造方法について図10及び図11を用いて説明する。図10及び図11は従来のDINOR型フラッシュメモリの製造方法を、メモリセルトランジスタ28を有するメモリセル部、及び周辺トランジスタ29を有する周辺回路部のそれぞれについて、工程順に示した要部断面図である。

【0009】まず、図10(a)に示されるように、例えばP型シリコン基板からなる半導体基板1上に、例えば熱酸化法によりゲート酸化膜2を形成し、その上にFG3となる例えば多結晶シリコン膜又は非晶質シリコン膜等からなる第1の導電膜3aをCVD法を用いて堆積し、通常の写真製版技術を用いて所望の形状にパターンニングして、メモリセル部にFG3を形成する。続いて、半導体基板1上の全面に、層間絶縁膜4として、TEOS、シリコン窒化膜及びTEOSの3層を順に堆積する。次に、周辺回路部に形成されている層間絶縁膜4及び第1の導電膜3aを除去する。

【0010】次に、周辺トランジスタ用のゲート酸化膜12を熱酸化により形成し、周辺回路部及びメモリセル部の両方に、一部が周辺トランジスタのゲート電極13となり、他の一部がCG5となる、例えば多結晶シリコン膜又は多結晶シリコンと高融点金属の化合物膜等から

なる、第2の導電膜5aをCVD法を用いて堆積する。さらに、その上層に、TEOS等の酸化膜14及び多結晶シリコン膜15を順に堆積する。

【0011】次に、図10(b)に示すように、上記多結晶シリコン膜15上にレジストを塗布し、これを所望の形状にパターンニングすることによりレジストマスク16を形成する。

【0012】次に、図10(c)に示すように、形成されたレジストマスク16を用いて、多結晶シリコン膜15を異方性エッチングにより加工し、その後、レジストマスク16を除去する。

【0013】次に、図10(d)に示すように、上記所望の形状に加工された多結晶シリコン膜15をマスクとして、シリコン酸化膜14を異方性エッチングにより加工して、酸化膜マスク14aを形成し、続いて、この酸化膜マスク14aを用いて、その下層の第2の導電膜5aを異方性エッチングにより加工して、周辺トランジスタのゲート電極13及びCG5を形成する。

【0014】ここで、上記ゲート電極13及びCG5の形成に用いられる異方性エッチングによって、酸化膜マスク14a上の多結晶シリコン膜15も同時に除去される。又、周辺回路部における酸化膜マスク14aは、ゲート電極13に対する上敷酸化膜17となる。

【0015】次に、図11(a)に示すように、周辺回路部をレジストで覆い、上記酸化膜マスク14aを用いて、メモリセル部のみ、異方性エッチングにより層間絶縁膜4及び第1の導電膜3aを加工することによりFG3を形成する。その後、上記周辺回路部を覆っているレジストを除去する。この時、層間絶縁膜4のエッチングに際して、メモリセル部の酸化膜マスク14aも同時にエッチングされ膜厚が薄くなる。

【0016】次に、図11(b)に示すように、メモリセル部のソース側及び周辺回路部を覆い、かつ、メモリセル部のドレイン側に開口するレジストマスク18を形成し、このマスク18を用いて、半導体基板1にリン及びヒ素のイオン注入を行い、メモリセルトランジスタのドレイン領域70を形成する。ここで、少量のボロンを同時に注入しても良い。その後、レジストマスク18を除去する。

【0017】次に、図11(c)に示すように、メモリセル部のドレイン側及び周辺回路部を覆い、かつ、半導体基板1表面のワード線方向（図2において、紙面に垂直な方向）に並ぶ各メモリセルトランジスタのソース領域60となる部分、当該各メモリセルトランジスタのソース領域60となる部分を隔絶する分離酸化膜、及び、各メモリセルトランジスタのCG5上の酸化膜マスク14a表面に開口するレジストマスク19を形成し、このレジストマスク19を用いた異方性エッチングにより、ワード線方向に並ぶ各メモリセルトランジスタのソース領域60となる部分が繋がるように上記分離酸化膜を除



去し、当該分離酸化膜に覆われていた半導体基板1表面を露出させる。以下、この異方性エッチングをSAS（セルフアラインソース）エッチングと呼ぶ。

【0018】この時、CG5上の酸化膜マスク14aも同時にエッチングされ、メモリセルトランジスタの上敷酸化膜10が形成される。

【0019】次に、上敷酸化膜10の一部が除去されたCG5及びレジストマスク19を用いて、自己整合的に、リン及びヒ素のイオン注入を行いソース領域60を形成する。ここで、少量のボロンを同時にイオン注入しても良い。この時、SASエッチング工程によって露出した半導体基板1表面及びその近傍には、ワード線に平行に、ワード線方向に並ぶ各メモリセルトランジスタのソース領域60が繋がった構造の配線（いわゆる「ソース線」）が形成される。

【0020】次に、レジストマスク19の除去後、図11（d）に示すように、ゲート電極13及びCG5をマスクとして異方性エッチングを行うことにより、ゲート絶縁膜12及び2を加工し、続いて、半導体基板1上の全面に例えばシリコン酸化膜からなる絶縁膜をCVD法を用いて形成し、異方性エッチングを行うことにより、周辺トランジスタのゲート電極13及び上敷酸化膜17の側面にサイドウォール20を形成すると同時に、FG3及びCG5の側面のソース及びドレイン領域60、70上にサイドウォール8、90を形成する。

【0021】続いて、メモリセル部をレジストで覆い、例えばリン又はヒ素などを高濃度にイオン注入することにより、周辺トランジスタのソース及びドレイン領域21、22を形成し、周辺トランジスタ29を得る。その後、上記メモリセル部を覆っていたレジストを除去する。

【0022】その後、熱処理を行うことによりソース及びドレイン領域60、70に注入されたドーパントを熱拡散させることにより、それぞれ、一部がFG3の下にもぐり込むような形状の低濃度の不純物領域60a、70aと、ほぼFG3の側面の直下に外縁を有する高濃度の不純物領域60b、70bを形成して、図9に示したメモリセルトランジスタ28を含むDINOR型のフラッシュメモリーを得る。

【0023】

【発明が解決しようとする課題】しかるに、上記のような不揮発性半導体記憶装置においては、メモリセルトランジスタのソース領域60及びドレイン領域70ともに、CG5に対し自己整合的にイオン注入を行うことにより形成しているので、注入イオンがCG5端部の直下にその一部が形成されることとなり、イオン注入後の熱処理によって、低濃度の不純物領域60a、70aがCG5の下にもぐり込んでそれぞれ形成されるため、CG5の長さよりも、ソース領域60とドレイン領域70の間の実質的なチャンネル長が短くなってしまうという問題

があった。

【0024】そのため、従来の不揮発性半導体記憶装置においては、所望の電気的特性を得るため、コントロールゲート長（CG5の長さ）を一定値以上に保持しなければならず、高集積化、微細化の妨げの原因となっていた。

【0025】一方、メモリセルトランジスタのソース及びドレイン領域60、70の形成を、サイドウォール8、90をマスクとして、周辺トランジスタのソース・ドレイン領域21、22を形成するためのイオン注入によって行うことも可能ではあるが、しかし、この場合、サイドウォール8、90は周辺トランジスタのサイドウォール20の形成用の絶縁膜を異方性エッチングすることにより得られるので、周辺トランジスタ29の電気的特性に合わせてその厚さが規定されており、その厚さによっては、CG5の端部直下から、かなり離れた位置にソース及びドレイン領域60、70が形成される場合があり、電流が流れにくくなってしまうという問題があった。

【0026】そこで、図11（c）に示すSASエッチング後のイオン注入工程において低濃度の注入を行い、周辺トランジスタのサイドウォール21、22の形成工程前に、一旦、メモリセルトランジスタ28の電気的特性に合わせた膜厚を有するサイドウォールを形成し、その後、このサイドウォールをマスクとして高濃度イオン注入をすることにより、上記の問題を解決することも可能である。

【0027】しかし、この場合においては、高濃度のイオン注入の前工程として、図11（d）にて示したようなイオン注入用のレジストマスク、つまり、周辺回路部及びメモリセル部のドレイン側を覆うレジストマスクを形成する必要があり、そのため、工程数が増加するという問題が新たに発生する。

【0028】さらに、この場合においては、高濃度注入後の、周辺トランジスタのサイドウォール20の形成を、既に形成されているサイドウォールの厚さを考慮して行わねばならず、上記メモリセルトランジスタ28のサイドウォール用絶縁膜の堆積時における膜厚のばらつき、及びこの絶縁膜を異方性エッチングしたときのサイドウォールの厚さのばらつきに加えて、周辺トランジスタ29のサイドウォール用絶縁膜の堆積時における膜厚のばらつき、及び異方性エッチングを行ったときのサイドウォールの厚さのばらつきが互いに重なり合い、周辺トランジスタのサイドウォール20の厚さのばらつきが大きくなってしまうという問題も発生する。

【0029】したがって、このばらつきを有するサイドウォール20をマスクとするイオン注入により形成された周辺トランジスタのソース及びドレイン領域21、22の間のチャンネル長が、所望の電気的特性を奏するには裕度が少なくなってしまうという問題も発生する。

【0030】又、メモリセルトランジスタのソース及びドレイン領域60、70の位置に関して、DINOR型のフラッシュメモリーにおいては、ドレイン領域70よりFG3へ電荷を引き抜くことにより記憶素子としての動作を達成するので、ドレイン側におけるFG3の端部には、高濃度の不純物領域70bが形成されている必要があり、それがFG3の端から離れた位置に形成された場合には、電荷引き抜き速度が遅くなり、ひいては、フラッシュメモリーの動作速度の遅延につながるといった問題もあった。

【0031】上記のような理由により、従来の不揮発性半導体記憶装置においては、ソース領域60とドレイン領域70の間隔の製造時におけるばらつきにより、当該不揮発性半導体記憶装置が所定の電気的特性を示すための裕度（一般に、「Lマージン」と呼ばれる。）を確保できないという問題があった。

【0032】この発明は上記した点に鑑みてなされたものであり、メモリセルトランジスタのゲート長を微細化した場合においても、上記ソース領域とドレイン領域の間隔の製造時におけるばらつきに対して、所定の電気的特性を示すための裕度を確保できる不揮発性半導体記憶装置を得ることを目的とするものである。

#### 【0033】

【課題を解決するための手段】この発明に係る不揮発性半導体記憶装置は、半導体基板の一主面に形成された記憶素子を備え、上記記憶素子は、上記半導体基板の主面上に第1の絶縁膜を介して形成された第1の導電層と、上記第1の導電層上に第2の絶縁膜を介して形成された第2の導電層と、上記半導体基板の主面上に上記第1の導電層の下において対向するように形成されたソース及びドレイン領域とを有し、上記ドレイン領域は不純物濃度の異なる複数の領域を有し、上記ソース領域は上記ドレイン領域よりも多くの不純物濃度の異なる領域を有することを特徴とするものである。

【0034】又、上記ソース及びドレイン領域のそれぞれが有する不純物濃度の異なる複数の領域は、第1の導電層に近い領域ほど不純物濃度が低いことを特徴とするものである。

【0035】又、半導体基板の一主面に形成された記憶素子を備え、上記記憶素子は、上記半導体基板の主面上に第1の絶縁膜を介して形成された第1の導電層と、上記第1の導電層上に第2の絶縁膜を介して形成された第2の導電層と、上記半導体基板の主面上に上記第1の導電層の下において対向するように形成されたソース及びドレイン領域と、上記第1及び第2の導電層を挟んで、それぞれ上記ソース又はドレイン領域上に形成された一対のサイドウォールとを有し、上記一対のサイドウォールの内のドレイン領域上に形成されたサイドウォールは、ソース領域上に形成されたサイドウォールより多くの層を有することを特徴とするものである。

【0036】又、上記一対のサイドウォールが有する層は、全て同じ種類の絶縁膜により構成されていることを特徴とするものである。

【0037】この発明に係る不揮発性半導体記憶装置の製造方法は、半導体基板の一主面上に第1の絶縁膜を介して形成された第1の導電層と、上記第1の導電層上に第2の絶縁膜を介して形成された第2の導電層と、上記半導体基板の主面上に上記第1の導電層の下において対向するように形成されたソース及びドレイン領域とを有する記憶素子、及び上記半導体基板の主面に形成された周辺トランジスタを備えた不揮発性半導体記憶装置の製造方法において、上記半導体基板の上記記憶素子及び周辺トランジスタが形成される部分上に、当該周辺トランジスタのサイドウォールの一部となる絶縁膜を堆積する工程と、上記半導体基板の上記記憶素子のソース領域となる部分の上方に開口するマスクを用いて、イオン注入を行う工程とを含むものである。

【0038】又、上記絶縁膜を堆積する工程と、イオン注入を行う工程とをそれぞれ複数回繰り返すことを特徴とするものである。

【0039】又、上記イオン注入を行う工程は、後の工程ほど注入量を多くすることを特徴とするものである。

【0040】又、半導体基板の一主面上に第1の絶縁膜を介して形成された第1の導電層と、上記第1の導電層上に第2の絶縁膜を介して形成された第2の導電層と、上記半導体基板の主面上に上記第1の導電層の下において対向するように形成されたソース及びドレイン領域とを有する記憶素子、及び上記半導体基板の主面に形成された周辺トランジスタを備えた不揮発性半導体記憶装置の製造方法において、上記半導体基板の上記記憶素子及び周辺トランジスタが形成される部分上に、当該周辺トランジスタのサイドウォールの一部となる絶縁膜を堆積する工程と、上記半導体基板の上記記憶素子のソース領域となる部分の上方に開口するマスクを用いて、上記絶縁膜の一部をエッチングする工程とを含むものである。

【0041】又、上記絶縁膜を堆積する工程と、当該絶縁膜の一部をエッチングする工程とをそれぞれ複数回繰り返すことを特徴とするものである。

【0042】又、上記複数回堆積する絶縁膜としては、全て同じ種類の絶縁膜を用いることを特徴とするものである。

#### 【0043】

##### 【発明の実施の形態】

実施の形態1. 以下に、この発明の実施の形態1について図1ないし図4に基づいて説明する。

【0044】図1はこの発明の実施の形態1における不揮発性半導体記憶装置のメモリセルトランジスタ30の構造を示す要部断面図であり、図1において、1は例えばP型シリコン基板からなる半導体基板、2は半導体基板1の一主面上に形成されたシリコン酸化膜からなるゲ

ート絶縁膜、3はゲート絶縁膜2上に形成された、例えば多結晶シリコン膜、非晶質シリコン膜等の導電膜からなるフローティングゲート（以下、「FG」という。）、4はFG3上に形成された層間絶縁膜であり、例えばTEOS（Tetraethoxysilane）、シリコン窒化膜、及びTEOSからなる3層積層膜、5は層間絶縁膜4上に形成された、例えば多結晶シリコン膜からなるコントロールゲート（以下、「CG」という。）であり、ワード線の一部をなしている。

【0045】6および7は、それぞれメモリセルトランジスタ30のソース及びドレイン領域であり、半導体基板1の主面に、FG3の下において対向するように形成されている。この内、ソース領域6は一部がFG3の下にもぐり込むような形状に形成された低濃度の不純物領域6aと、ほぼFG3の側面の直下に外縁を有するように形成された中濃度の不純物領域6cと、この中濃度の不純物領域6cよりもFG3の側面から離れた位置に形成された高濃度の不純物領域6bから構成されている。一方、ドレイン領域7は一部がFG3の下にもぐり込むような形状に形成された低濃度の不純物領域7aと、ほぼFG3の側面の直下に外縁を有するように形成された高濃度の不純物領域7bから構成されている。

【0046】ここで、高濃度、中濃度及び低濃度とは、絶対的な不純物濃度でなく、各不純物領域間に相対的な不純物濃度の差が生じていることを表しており、各不純物領域の濃度の絶対値は、メモリセルトランジスタ30の電気的特性に応じて、コントロールゲート及びフローティングゲートそれぞれの長さ、注入イオンの種類、その他様々な条件を考慮した最適値を選択する必要がある。

【0047】又、図中のN-、N+、N++の記号等は、上記同様に絶対的な不純物濃度を表すものでなく、各領域の相対的な不純物濃度の差を表すために用いられている記号である。

【0048】8及び9は、上記ゲート絶縁膜2、FG3、層間絶縁膜4、及びCG5を挟んで、それぞれソース及びドレイン領域6、7上に形成された、例えばシリコン酸化膜からなるサイドウォールであり、特に、ドレイン領域上のサイドウォール9は、FG3等の側面に接する層9aとその外側に形成された層9bにより構成されている。10はCG5上に形成されたTEOS等のシリコン酸化膜からなる上敷酸化膜であり、ソース側の一部が削られている。11はこの上敷酸化膜10のサイドウォールであり、CG5上のソース側に形成されている。

【0049】つぎに、このような構造のメモリセルトランジスタ30を有する不揮発性半導体記憶装置の製造方法について図2ないし図4を用いて説明する。図2ないし図4は本実施の形態1における不揮発性半導体記憶装置の製造方法を、メモリセルトランジスタ30を有する

メモリセル部、及び周辺トランジスタ40を有する周辺回路部のそれぞれについて、工程順に示した要部断面図である。

【0050】まず、図2（a）に示されるように、例えばP型シリコン基板からなる半導体基板1上に、例えば熱酸化法によりゲート酸化膜2を形成し、その上にFG3となる例えば多結晶シリコン膜又は非晶質シリコン膜等からなる第1の導電膜3aをCVD法を用いて堆積し、通常の写真製版技術を用いて所望の形状にパターンニングして、メモリセル部にFG3を形成する。続いて、半導体基板1上の全面に、層間絶縁膜4として、TEOS、シリコン窒化膜及びTEOSの3層を順に堆積する。次に、周辺回路部に形成されている層間絶縁膜4及び第1の導電膜3aを除去する。

【0051】次に、周辺トランジスタ40用のゲート酸化膜12を熱酸化により形成し、周辺回路部及びメモリセル部の両方に、一部が周辺トランジスタのゲート電極13となり、他の一部がCG5となる、例えば多結晶シリコン膜又は多結晶シリコンと高融点金属の化合物膜等からなる、第2の導電膜5aをCVD法を用いて堆積する。さらに、その上層に、TEOS等の酸化膜14及び多結晶シリコン膜15を順に堆積する。

【0052】次に、図2（b）に示すように、上記多結晶シリコン膜15上にレジストを塗布し、これを所望の形状にパターンニングすることによりレジストマスク16を形成する。

【0053】次に、図3（a）に示すように、形成されたレジストマスク16を用いて、多結晶シリコン膜15を異方性エッチングにより加工し、その後、レジストマスク16を除去する。

【0054】次に、図3（b）に示すように、上記所望の形状に加工された多結晶シリコン膜15をマスクとして、シリコン酸化膜14を異方性エッチングにより加工して、酸化膜マスク14aを形成し、続いて、この酸化膜マスク14aを用いて、その下層の第2の導電膜5aを異方性エッチングにより加工して、周辺トランジスタのゲート電極13及びCG5を形成する。

【0055】ここで、上記ゲート電極13及びCG5の形成に用いられる異方性エッチングによって、酸化膜マスク14a上の多結晶シリコン膜15も同時に除去される。又、周辺回路部における酸化膜マスク14aは、ゲート電極13に対する上敷酸化膜17となる。

【0056】次に、図3（c）に示すように、周辺回路部をレジストで覆い、上記酸化膜マスク14aを用いて、メモリセル部のみ、異方性エッチングにより層間絶縁膜4及び第1の導電膜3aを加工することによりFG3を形成する。その後、上記周辺回路部を覆っているレジストを除去する。この時、層間絶縁膜4のエッチングに際して、メモリセル部の酸化膜マスク14aも同時にエッチングされ膜厚が薄くなる。

【0057】次に、図3(d)に示すように、メモリセル部のソース側及び周辺回路部を覆い、かつ、メモリセル部のドレイン側に開口するレジストマスク18を形成し、このマスク18を用いて、半導体基板1にリン及びヒ素のイオン注入を行い、メモリセルトランジスタのドレイン領域7を形成する。ここで、少量のボロンを同時に注入しても良い。その後、レジストマスク18を除去する。

【0058】次に、図4(a)に示すように、周辺トランジスタ40のサイドウォール用の絶縁膜よりも膜厚が薄く、同じ種類(例えば、TEOS等)の酸化膜23を、半導体基板1全面に堆積する。

【0059】次に、図4(b)に示すように、メモリセル部のドレイン側及び周辺回路部を覆い、かつ、半導体基板1のワード線方向(図2ないし図4において、紙面に垂直な方向)に並ぶ各メモリセルトランジスタのソース領域6となる部分と、当該各メモリセルトランジスタのソース領域6となる部分を隔絶する分離酸化膜と、各メモリセルトランジスタのCG5上の酸化膜マスク14a表面とに開口するレジストマスク24を形成し、このレジストマスク24を用いて、上記酸化膜23越しに、高濃度に例えばヒ素等のイオン注入を行い、最終的に高濃度の不純物領域6bとなる、ソース領域6の一部25を形成する。

【0060】このとき、メモリセル部のソース側のCG5端部直下に位置する半導体基板1には、その上に形成されている酸化膜23の膜厚がイオン入射方向に対して厚くなっているため、入射イオン(例えばヒ素)が到達せず、そのため、CG5端部直下から離れた位置に高濃度の不純物領域6bが形成されることとなる。又、CG5にもレジスト24及び酸化膜マスク14aにより例えばヒ素等の入射イオンが到達しない。

【0061】次に、図4(c)に示すように、レジストマスク24を用いた異方性エッチングにより、ワード線方向に並ぶ各メモリセルトランジスタのソース領域6となる部分が繋がるように分離酸化膜を除去し、当該分離酸化膜に覆われていた半導体基板1表面を露出させる。以下、この異方性エッチングをSAS(セルフアラインソース)エッチングと呼ぶ。この時、CG5上の酸化膜23、及び酸化膜マスク14aも同時にエッチングされ、メモリセルトランジスタの上敷酸化膜10が形成される。

【0062】次に、上敷酸化膜10の一部が除去されたCG5及びレジストマスク19を用いて、自己整合的に、リン及びヒ素のイオン注入を、上記図4(b)にて示したイオン注入よりも相対的に低い濃度で行い、上記ソース領域の一部25よりもCG5端部近傍に近い位置にその外縁を有し、最終的に低濃度及び中濃度の不純物領域6a、6cとなる、ソース領域6の一部26を形成する。ここで、少量のボロンを同時にイオン注入しても

良い。この時、先にSASエッチング工程によって露出した半導体基板1表面及びその近傍には、ワード線方向に並ぶ各メモリセルトランジスタのソース領域6が繋がった構造の配線(いわゆる「ソース線」)が、ワード線に平行に形成される。

【0063】次に、レジストマスク19の除去後、図4(d)に示すように、ゲート電極13及びCG5をマスクとして異方性エッチングを行うことにより、ゲート絶縁膜12及び2を加工し、続いて、半導体基板1上の全面に例えばシリコン酸化膜からなる絶縁膜をCVD法を用いて形成し、異方性エッチングを行うことにより、周辺トランジスタのゲート電極13及び上敷酸化膜17の側面にサイドウォール20を形成すると同時に、FG3及びCG5の側面のソース及びドレイン領域6、7上にサイドウォール8、9を形成する。

【0064】続いて、メモリセル部をレジストで覆い、例えばリン又はヒ素を高濃度にイオン注入することにより、周辺トランジスタのソース及びドレイン領域21、22を形成して、周辺トランジスタ40を得る。ここで、少量のボロンを同時にイオン注入しても良い。その後、上記メモリセル部を覆っていたレジストを除去する。

【0065】その後、熱処理を行うことによりソース及びドレイン領域に注入されたドーパントを熱拡散させることにより、低濃度の不純物領域6a、中濃度の不純物領域6c及び高濃度の不純物領域6b、並びに、低濃度の不純物領域7a及び高濃度の不純物領域7bを形成して、図1に示したメモリセルトランジスタ30を含む不揮発性半導体記憶装置を得る。

【0066】ここで、上記図4(c)にて示した工程において、リン及びヒ素といった熱拡散による拡散長の異なるドーパントを注入しているため、本熱処理工程において、ソース領域の一部である26が中濃度及び低濃度の不純物領域6c及び6aに分かれて形成されることとなる。

【0067】本実施の形態1においては、上記のように構成されているので、CG5を微細化した場合においても、ドレイン領域7においては高濃度の不純物領域7bがCG5の直下に形成されるのに対して、ソース領域6のみ高濃度の不純物領域6bをCG5の端部直下より遠ざけることができ、しかも、ソース及びドレイン領域6、7間のチャネル領域の実質的な長さを規定する低濃度の不純物領域6a、7a間の距離を、電流が流れにくくならないような距離に保つことができるため、上記ソース領域6とドレイン領域7の間隔の製造時におけるばらつきに対して、本不揮発性半導体記憶装置が所定の電気的特性を示すための裕度、すなわち、Lマージンを確保することができるという効果を有する。

【0068】又、ドレイン領域7において、電荷の引き抜きのために、高濃度の不純物領域7bをCG5の端の

近傍に形成しているが、これに加え、低濃度の不純物領域7aを形成しているため、ドレイン耐圧の低下を防止することができるという効果を有する。

【0069】又、本実施の形態1においては、ソース及びドレイン領域6、7のそれぞれが、多段階の不純物濃度領域6a、6c、6b及び7a、7bを有し、かつ、それらの不純物濃度がCG5から遠ざかるにつれ高濃度となるように配置されているので、LDD構造を形成でき、しきい値電圧の変動等を抑制でき、本不揮発性半導体記憶装置の高信頼性を実現できるという効果を有する。

【0070】さらに、本実施の形態1においては、周辺回路部においては、酸化膜23が堆積されただけで、上述した従来の一例のように、一旦メモリセルトランジスタ30のサイドウォールを形成した後、周辺トランジスタのサイドウォール20を形成するわけではないので、エッチングによるサイドウォールの厚さのばらつきが生じることなく、周辺トランジスタのサイドウォール20形成用の絶縁膜の堆積時には、先に堆積された酸化膜23の膜厚を差し引いて当該絶縁膜を堆積すれば良い。

【0071】又、本実施の形態1においては、上記のような製造方法を用いているので、従来の製造方法に比べ、酸化膜23を堆積する工程である1工程だけの増加により、上記の効果を有する構造を備えた不揮発性半導体記憶装置を得ることができる。

【0072】尚、本実施の形態1においては、図4(c)に示す工程において、異方性の強いSASエッチングを行うため、酸化膜23を除去するために長時間をかけても、図5に示すように、酸化膜23が除去しきれない場合がある。このような場合においては、一旦、分離酸化膜が除去された時点においてSASエッチングを終了し、残存した酸化膜23aを異方性の比較的弱いドライエッチング、又は、低濃度フッ酸等のエッチングレートの小さいウェットエッチングにより除去しても良い。

【0073】又、本実施の形態1においては、上記図4(c)にて示した工程において、リン及びヒ素といった熱拡散による拡散長の異なるドーパントを注入しているため、後工程における熱処理によって、中濃度及び低濃度の不純物領域6c及び6aが分かれて形成されることとなるが、その代わりに、どちらか一方のイオンを用いた注入を行っても良く、この場合においては、図6に示すように、メモリセルトランジスタのソース領域6の内、中濃度の不純物領域6cは形成されないこととなる。

【0074】しかし、この場合においても、ソース領域6のみ高濃度の不純物領域6bをCG5の端部直下より遠ざけることができ、しかも、ソース及びドレイン領域6、7間のチャネル領域の実質的な長さを規定する低濃度の不純物領域6a、7a間の距離を、電流が流れにく

くならないような距離に保つことができ、加えて、ソース及びドレイン領域6、7のそれぞれが、多段階の不純物濃度領域6a、6b及び7a、7bを有し、かつ、それらの不純物濃度がCG5から遠ざかるにつれ高濃度となるように配置されることにより変わりなく、上記と同様の効果を有することとなる。

【0075】又、上記の場合においては、メモリセルトランジスタ30及び周辺トランジスタ40がNチャネル型の場合を示したが、図3(d)、及び図4(b)、

(c)にて示した工程において、リン、ヒ素等の代わりに、ボロン又はBF<sub>2</sub>をイオン注入しても良く、この場合においては、これらのドーパントが熱拡散しにくく、上記の場合のように、熱拡散により、中濃度及び低濃度の不純物領域6c及び6aを分かれて形成させることはできないが、図6に示したN(及びP)型の領域をP(及びN)型に変えた形状にソース及びドレイン領域を形成することができ、そのため、上記と同様の効果を有することとなる。

【0076】実施の形態2. この発明の実施の形態2は、上記の実施の形態1に対して、メモリセルトランジスタ30のソース及びドレイン領域の高濃度領域6b、7bよりも、CG5に対してさらに離れた位置に外縁を有し、かつ、高濃度領域6b、7bよりもさらに高い不純物濃度を有する第2の高濃度領域6d、7dを備える点で相違するだけであり、その他の点については上記した実施の形態1と同様である。

【0077】図7は、この発明の実施の形態2における不揮発性半導体記憶装置の構造を示す要部断面図である。本装置の構造は、実施の形態1の図1において示された不揮発性半導体記憶装置の構造に対して、メモリセルトランジスタのソース及びドレイン領域の高濃度領域6b、7bよりも、CG5に対してさらに離れた位置に外縁を有するとともに、高濃度領域6b、7bよりもさらに高い不純物濃度を有する第2の高濃度領域6d、7dを備えたものである。

【0078】つぎに、このように構成された不揮発性半導体記憶装置の製造方法について説明する。本実施の形態2における不揮発性半導体記憶装置の製造方法は、上記実施の形態1における図4(d)において示された工程について異なる工程をとるものの、その他の工程については、上記図2ないし図4にて示した実施の形態1における製造方法と同様の工程を含むものである。

【0079】具体的には、本実施の形態2においては、図4(d)にて示された、サイドウォール8、9、及び20を形成後、メモリセル部をレジストで覆うことなしに、例えばリン又はヒ素を高濃度にイオン注入することにより、周辺トランジスタのソース及びドレイン領域21、22を形成すると同時に、サイドウォール8、9をマスクとして、第2の高濃度領域6d、7dを形成する。



【0080】本実施の形態2においては、実施の形態1に比べ、メモリセル部を覆うレジストマスクを形成することなしに、イオン注入を行うことができるので、工程数の減少を図ることができるとともに、実施の形態1における効果と同様の効果も有することが可能となる。

【0081】加えて、本実施の形態2においては、第2の高濃度領域6d、7dにおいて、ドレイン領域7に対するコンタクトをとることができるので、電荷の引き抜きに関係のない、つまり記憶動作に関係のないドレイン領域7中の不純物領域、具体的には、例えば、FG3の端部直下の深い部分などの不純物濃度を低減することが可能となる。

【0082】又、本実施の形態2においては、周辺トランジスタのソースおよびドレイン領域21、22を形成する際に、同じ導電型のメモリセルトランジスタを有するメモリセル部の上をレジストで覆うことなしに、高濃度のイオン注入を行うことで、チャージアップの可能性を低減でき、チャージアップによる電気的素子の破壊を防止することができるという効果を有する。

【0083】実施の形態3. この発明の実施の形態3は、上記の実施の形態1に対して、図4(b)にて示したように、ヒ素の高濃度イオン注入を酸化膜23越しに行う代わりに、半導体基板1表面を露出させた後に、直接半導体基板1にヒ素を高濃度注入する点で相違するだけであり、その他の点については上記した実施の形態1と同様である。

【0084】以下に、本実施の形態3を図8を用いて説明する。図8は本実施の形態3における不揮発性半導体記憶装置の製造方法を、メモリセル部及び周辺回路部のそれぞれについて、工程順に示した要部断面図である。

【0085】本実施の形態3においては、図4(b)にて示したレジストマスク24の形成までは、実施の形態1の製造方法と同様であり、上記レジストマスク24の形成後、ヒ素の高濃度注入を行う直前に、図8(a)にて示すように、レジストマスク24を用いて、酸化膜23及びゲート絶縁膜2の残留分を取り除く程度に異方性エッチングを行う。この結果、メモリセル部のソース側の半導体基板1表面が露出するとともに、上記酸化膜23からなる薄い厚さのサイドウォール27が形成される。

【0086】ここで、上記サイドウォール27の厚さが、エッチングにより薄くなりすぎると、高濃度注入されるヒ素により形成される高濃度の不純物領域25がCG5の端に近づき過ぎるため、所望の効果を得られなくなる。そのため、上記エッチングにおいては、半導体基板1表面の露出は行うが、必要以上のエッチングを行うことは好ましくない。したがって、ここでは酸化膜23及びゲート絶縁膜2の残留分を取り除く程度の適度なエッチングを施す必要がある。又、ここで、異方性エッチングはSASエッチングと同様の方法を用いても良い。

【0087】次に、図8(b)に示すように、上記異方性エッチングにより露出した半導体基板1に、直接、高濃度にヒ素をイオン注入し、ソース領域6の一部25を形成する。その後の工程は、実施の形態1の図4(c)以下の工程と同様である。

【0088】本実施の形態3においては、実施の形態1に比べ、メモリセル部のソース側の酸化膜23のエッチング工程が付加されているので、従来に比べ、実施の形態1の場合における工程数の増加が1工程のみであることに対して、本実施の形態3においては合計で2工程増加することとなるが、この2工程のみの増加により、実施の形態1における効果と同様の効果を有することが可能となる。

【0089】加えて、本実施の形態3においては、実施の形態1では酸化膜23越しにイオン注入を行うため、高い注入エネルギーを必要としていたのに対し、半導体基板1に直接イオン注入を行うことができるため、注入エネルギーの増加を必要としないという効果を有する。

【0090】尚、本実施の形態3においては、メモリセル部のソース側のみに、異方性エッチング及び高濃度イオン注入をそれぞれ1回のみ行っているが、その代わりに、図8(b)にて示した工程以後、SASエッチングを行う前に、レジストマスク24を除去し、再度、酸化膜を堆積し、レジストマスクを形成し、異方性エッチングを行い、高濃度イオン注入を行うことで、さらに言えば、これら一連の工程を複数回繰り返すことにより、実施の形態3にて得られるソース及びドレイン領域6、7に、さらに多数の異なる不純物濃度の領域を形成することができる。すなわち、ソース及びドレイン領域6、7の濃度分布の段階をさらに細分化することが可能となる。

【0091】但し、ここで、堆積する酸化膜の膜厚は、周辺トランジスタのサイドウォール20用に堆積する絶縁膜の膜厚を越えるものであってはならない。

【0092】又、上記の場合においては、メモリセルトランジスタ30及び周辺トランジスタ40がNチャネル型の場合を示したが、図8(b)にて示した工程において、ヒ素の代わりに、ボロン又はBF<sub>2</sub>をイオン注入しても良く、この場合においても、上記と同様の効果を有することとなる。

【0093】

【発明の効果】この発明に係る不揮発性半導体記憶装置は、半導体基板の一主面に形成された記憶素子を備え、上記記憶素子は、上記半導体基板の主面上に第1の絶縁膜を介して形成された第1の導電層と、上記第1の導電層上に第2の絶縁膜を介して形成された第2の導電層と、上記半導体基板の主面に上記第1の導電層の下において対向するように形成されたソース及びドレイン領域とを有し、上記ドレイン領域は不純物濃度の異なる複数の領域を有し、上記ソース領域は上記ドレイン領域より

も多くの不純物濃度の異なる領域を有することを特徴とするので、上記第2の導電層を微細化した場合においても、上記ソース領域のみ不純物濃度の高い領域を当該第2の導電層から離すことが可能となり、そのため、上記ソース領域とドレイン領域の間隔の製造時におけるばらつきに対して、当該不揮発性半導体記憶装置が所定の電気的特性を示すための裕度を確保できるという効果を有する。

【0094】又、上記ソース及びドレイン領域のそれぞれが有する不純物濃度の異なる複数の領域は、第1の導電層に近い領域ほど不純物濃度が低いことを特徴とするので、上記ソース及びドレイン領域がLDD構造となり、しきい値電圧の変動等を抑制でき、高信頼性を実現できるという効果を有する。

【0095】又、半導体基板の一主面に形成された記憶素子を備え、上記記憶素子は、上記半導体基板の主面上に第1の絶縁膜を介して形成された第1の導電層と、上記第1の導電層上に第2の絶縁膜を介して形成された第2の導電層と、上記半導体基板の主面に上記第1の導電層の下において対向するように形成されたソース及びドレイン領域と、上記第1及び第2の導電層を挟んで、それぞれ上記ソース又はドレイン領域上に形成された一対のサイドウォールとを有し、上記一対のサイドウォールの内のドレイン領域上に形成されたサイドウォールは、ソース領域上に形成されたサイドウォールより多くの層を有することを特徴とするので、当該不揮発性半導体記憶装置の製造時において、上記ソース領域の形成工程におけるイオン注入を、上記サイドウォールが有する各層が形成される度ごとに行うことにより、結果として、上記ソース領域が上記ドレイン領域よりも多くの不純物濃度の異なる領域を有することとなるので、上記第2の導電層を微細化した場合においても、上記ソース領域のみ不純物濃度の高い領域を当該第2の導電層から離すことが可能となり、そのため、上記ソース領域とドレイン領域の間隔の製造時におけるばらつきに対して、当該不揮発性半導体記憶装置が所定の電気的特性を示すための裕度を確保できるという効果を有する。

【0096】又、上記一対のサイドウォールが有する層は、全て同じ種類の絶縁膜により構成されていることを特徴とするので、当該不揮発性半導体記憶装置の形成が容易となり、製造コストの削減を図ることが可能であるという効果を有する。

【0097】この発明に係る不揮発性半導体記憶装置の製造方法は、半導体基板の一主面上に第1の絶縁膜を介して形成された第1の導電層と、上記第1の導電層上に第2の絶縁膜を介して形成された第2の導電層と、上記半導体基板の主面に上記第1の導電層の下において対向するように形成されたソース及びドレイン領域とを有する記憶素子、及び上記半導体基板の主面に形成された周辺トランジスタを備えた不揮発性半導体記憶装置の製造

方法において、上記半導体基板の上記記憶素子及び周辺トランジスタが形成される部分上に、当該周辺トランジスタのサイドウォールの一部となる絶縁膜を堆積する工程と、上記半導体基板の上記記憶素子のソース領域となる部分の上方に開口するマスクを用いて、イオン注入を行う工程とを含むので、この方法により製造された不揮発性半導体記憶装置は、工程数としては、上記サイドウォール用の絶縁膜を堆積する工程を増加するだけで、上記ソース領域が上記ドレイン領域よりも多くの不純物濃度の異なる領域を有することが可能となる。そのため、少しの製造時間の延長と、少しの製造コストの増加だけで、上記第2の導電層を微細化した場合においても、上記ソース領域のみ不純物濃度の高い領域を当該第2の導電層から離すことが可能となり、上記ソース領域とドレイン領域の間隔の製造時におけるばらつきに対して、当該不揮発性半導体記憶装置が所定の電気的特性を示すための裕度を確保できるという効果を有することとなる。

【0098】又、上記絶縁膜を堆積する工程と、イオン注入を行う工程とをそれぞれ複数回繰り返すことを特徴とするので、この方法により製造された不揮発性半導体記憶装置は、上記ソース領域が上記ドレイン領域よりもさらに多くの不純物濃度の異なる領域を有することとなるので、上記第2の導電層を微細化した場合においても、上記ソース領域とドレイン領域の間隔の製造時におけるばらつきに対して、当該不揮発性半導体記憶装置が所定の電気的特性を示すためのより大きな裕度を確保できるという効果を有する。

【0099】又、上記イオン注入を行う工程は、後の工程ほど注入量を多くすることを特徴とするので、この方法により製造された不揮発性半導体記憶装置は、上記ソース及びドレイン領域がLDD構造となり、しきい値電圧の変動等を抑制でき、高信頼性を実現できるという効果を有する。

【0100】又、半導体基板の一主面上に第1の絶縁膜を介して形成された第1の導電層と、上記第1の導電層上に第2の絶縁膜を介して形成された第2の導電層と、上記半導体基板の主面に上記第1の導電層の下において対向するように形成されたソース及びドレイン領域とを有する記憶素子、及び上記半導体基板の主面に形成された周辺トランジスタを備えた不揮発性半導体記憶装置の製造方法において、上記半導体基板の上記記憶素子及び周辺トランジスタが形成される部分上に、当該周辺トランジスタのサイドウォールの一部となる絶縁膜を堆積する工程と、上記半導体基板の上記記憶素子のソース領域となる部分の上方に開口するマスクを用いて、上記絶縁膜の一部をエッチングする工程とを含むので、この方法により製造された不揮発性半導体記憶装置は、上記ソース領域を形成するためのイオン注入の注入エネルギーを抑えることができ、しかも、このイオン注入を上記サイドウォール用絶縁膜のエッチング工程の後に行うことに

より、結果として、上記ソース領域が上記ドレイン領域よりも多くの不純物濃度の異なる領域を有することとなる。そのため、上記第2の導電層を微細化した場合においても、上記ソース領域のみ不純物濃度の高い領域を当該第2の導電層から離すことが可能となり、上記ソース領域とドレイン領域の間隔の製造時におけるばらつきに対して、当該不揮発性半導体記憶装置が所定の電気的特性を示すための裕度を確保できるという効果を有する。

【0101】又、上記絶縁膜を堆積する工程と、当該絶縁膜の一部をエッチングする工程とをそれぞれ複数回繰り返すことを特徴とするので、この方法により製造された不揮発性半導体記憶装置は、上記ソース領域が上記ドレイン領域よりもさらに多くの不純物濃度の異なる領域を有することとなるので、上記第2の導電層を微細化した場合においても、上記ソース領域とドレイン領域の間隔の製造時におけるばらつきに対して、当該不揮発性半導体記憶装置が所定の電気的特性を示すためのより大きな裕度を確保できるという効果を有する。

【0102】又、上記複数回堆積する絶縁膜としては、全て同じ種類の絶縁膜を用いることを特徴とするので、この方法により製造された不揮発性半導体記憶装置は、当該装置の形成が容易であり、製造コストの削減を図ることが可能であるという効果を有する。

#### 【図面の簡単な説明】

【図1】 この発明の実施の形態1における不揮発性半導体記憶装置のメモリセルトランジスタの構造を示す要部断面図である。

【図2】 この発明の実施の形態1における不揮発性半導体記憶装置の製造方法を、メモリセル部及び周辺トランジスタ部のそれぞれについて、工程順に示した要部断面図である。

【図3】 この発明の実施の形態1における不揮発性半導体記憶装置の製造方法を、メモリセル部及び周辺トランジスタ部のそれぞれについて、工程順に示した要部断面図である。

【図4】 この発明の実施の形態1における不揮発性半導体記憶装置の製造方法を、メモリセル部及び周辺トランジスタ部のそれぞれについて、工程順に示した要部断面図である。

ンジスタ部のそれぞれについて、工程順に示した要部断面図である。

【図5】 SASエッチングにより除去できずに、酸化膜が残存した不揮発性半導体記憶装置の要部断面図である。

【図6】 1種類のイオンの注入により形成された不揮発性半導体記憶装置のメモリセルトランジスタの構造を示す要部断面図である。

【図7】 この発明の実施の形態2における不揮発性半導体記憶装置のメモリセルトランジスタの構造を示す要部断面図である。

【図8】 この発明の実施の形態3における不揮発性半導体記憶装置の製造方法を、メモリセル部及び周辺トランジスタ部のそれぞれについて、工程順に示した要部断面図である。

【図9】 従来の不揮発性半導体記憶装置のメモリセルトランジスタの構造を示す要部断面図である。

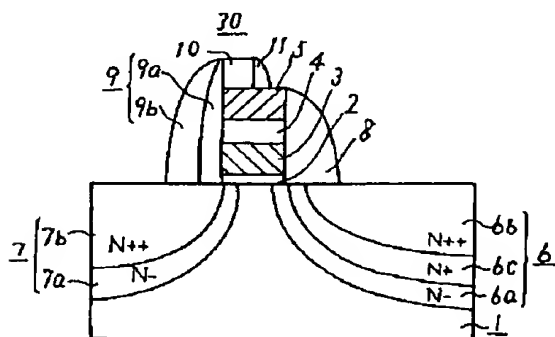
【図10】 従来の不揮発性半導体記憶装置の製造方法を、メモリセル部及び周辺トランジスタ部のそれぞれについて、工程順に示した要部断面図である。

【図11】 従来の不揮発性半導体記憶装置の製造方法を、メモリセル部及び周辺トランジスタ部のそれぞれについて、工程順に示した要部断面図である。

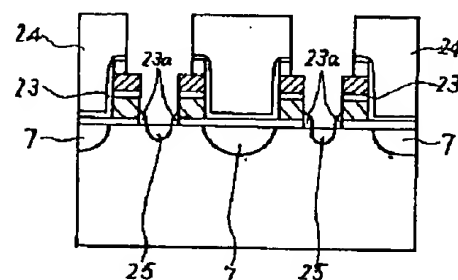
#### 【符号の説明】

1 半導体基板、 2 第1の絶縁膜、 3 第1の導電層、 4 第2の絶縁膜、 5 第2の導電層、 6 ソース領域、 6a、6b、6c、6d ソース領域を形成する一領域、 7 ドレイン領域、 7a、7b、7d ドレイン領域を形成する一領域、 8 ソース領域上に形成されたサイドウォール、 9 ドレイン領域上に形成されたサイドウォール、 9a、9b ドレイン領域上のサイドウォールを形成する層、 23 周辺トランジスタのサイドウォールの一部となる絶縁膜、 24 マスク、 25、26 半導体基板の記憶素子のソース領域となる部分、 30 記憶素子、 40 周辺トランジスタ。

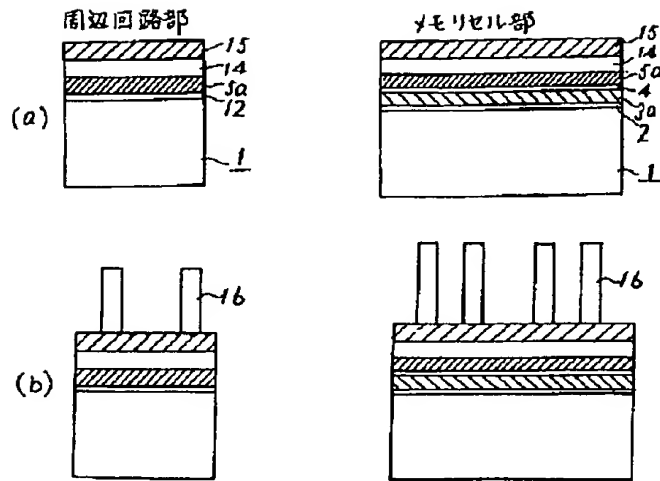
【図1】



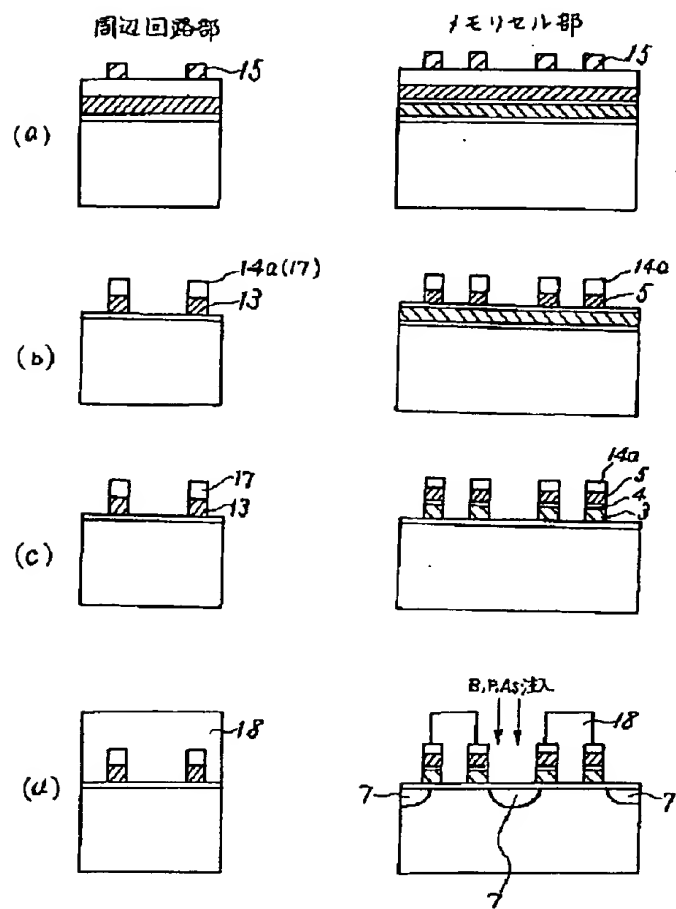
【図5】



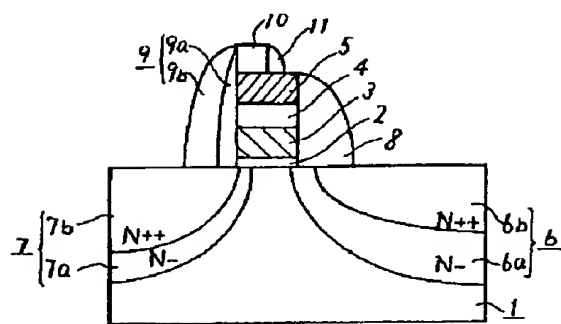
【図2】



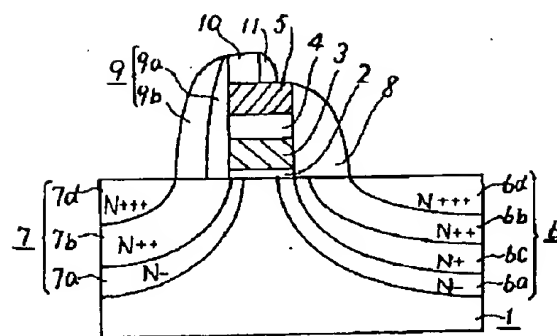
【図3】



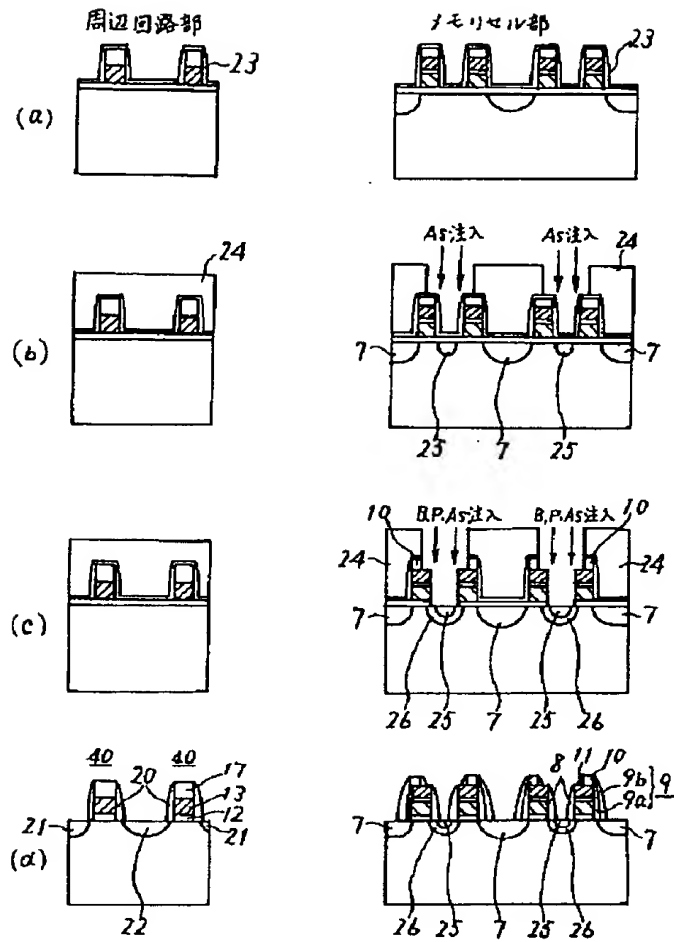
【図6】



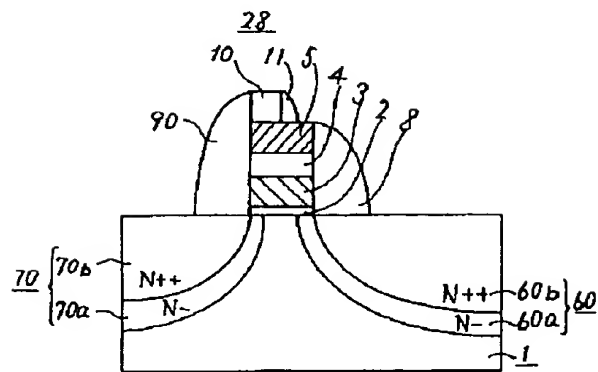
【図7】



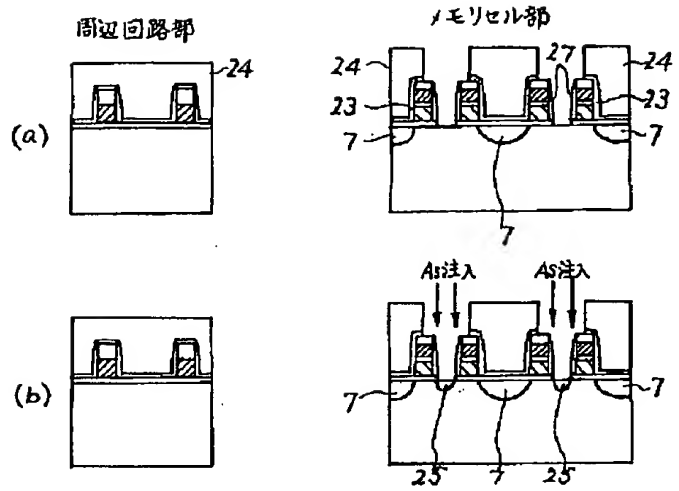
【図 4】



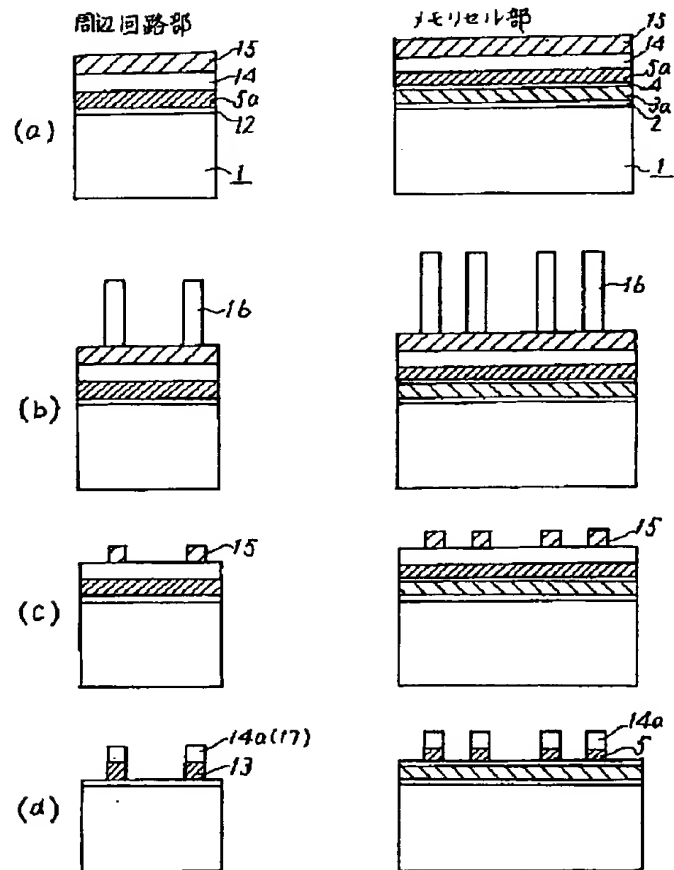
【図9】



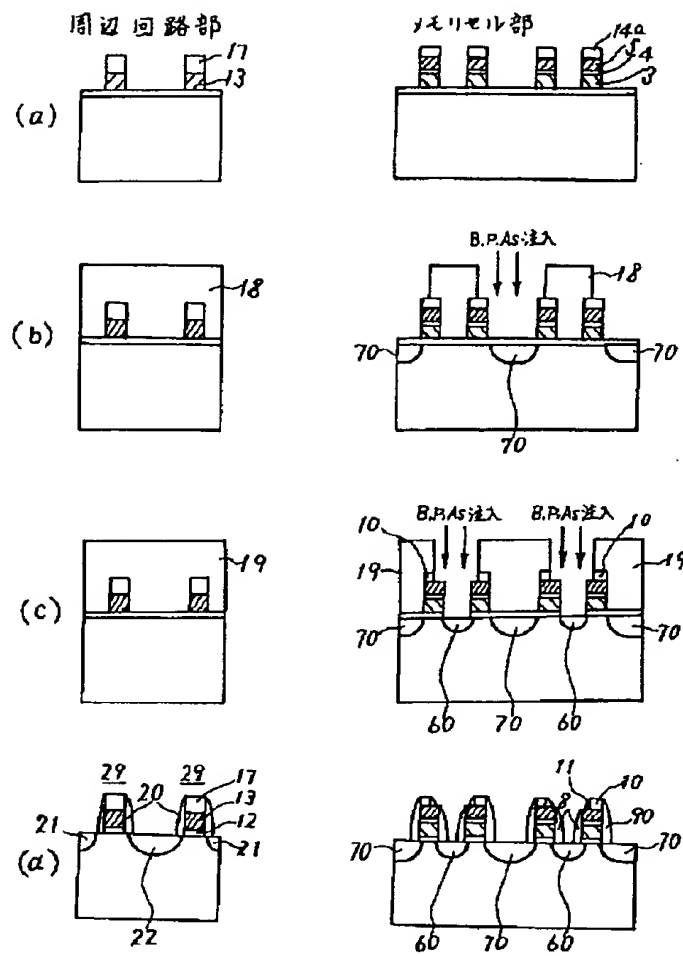
【图 8】



【図 10】



【図11】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☒ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☐ **FADED TEXT OR DRAWING**

☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**